

基于线计算的全加器设计

李 林, 张跃军*, 张会红

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 随着集成电路特征尺寸的不断缩小, 互连线在芯片内部占的比重越来越大, 但是互连线仅用于数据传输, 芯片计算能力仍然需要依靠晶体管开关实现. 如何在有限的硬件资源内进一步提高芯片的计算能力, 已经成为当前集成电路设计的核心问题. 本文通过研究金属互连线间电容耦合效应, 采用互连线串扰现象完成逻辑运算的思想, 提出一种基于线计算的全加器设计方案. 该方案首先建立线计算模型, 通过调整反相器阈值和不同干扰线与受扰线之间电容耦合强度匹配技术, 采用相同线计算电路结构实现不同功能的逻辑门电路; 然后, 在逻辑门的基础上实现基于线计算的全加器; 最后, 在 TSMC 65 nm CMOS 工艺下仿真验证. 结果表明, 所设计的线计算电路具有正确逻辑功能, 与传统设计方法相比, 线计算逻辑门具有更低开销, 且线计算电路具有抗逆向工程能力.

关键词: 线计算; 电容耦合; 门电路; 全加器

中图分类号: TP331

文献标志码: A

文章编号: 1001-5132 (2022) 01-0040-08

随着集成电路制造工艺技术的不断进步, 工艺尺寸进入纳米级, 芯片集成度增加, 系统性能提高, 但是互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)器件面临漏电流增大、可靠性和成品率低、制造成本增加等问题, 积极探索取代传统 CMOS 逻辑的设计方法已成为当前集成电路的研究热点^[1-2]. 集成电路特征尺寸的减小, 互连线占用硬件开销越来越大, 且已经成为制约提高芯片计算能力的关键因素之一, 考虑将互连线作为逻辑计算的设计方法也引起了研究人员的广泛关注^[3]. Macha 等^[4]从利用互连串扰效应角度出发, 提出使用互连线串扰进行计算的新概念, 以减少器件和互连规模来应对挑战. 线计算是利用纳米金属线间确定性干扰来实现逻辑运算的一种新型运算方式. 在线计算技术可扩展性方面, Iqbal 等^[5]利用互连线间的串扰来设计线计算电路, 展示对于最佳和最坏情况下的工艺变化, 且证明线计算电路都可正常工作. 在线计算应用方面,

Desh 等^[6]提出基于线计算的新型模数转换(Analog to Digital Converter, ADC)概念, 通过仿真电路表明线计算 ADC 具有更低开销, 这为实现低功耗的 ADC 电路设计开辟了新的路径. Iqbal 等^[7]提出利用现有电子设计自动化工具流程进行大规模电路合成的关键方法, 为实现线计算电路与 CMOS 电路的兼容设计提供新的视角. 全加器是数字电路最基本的模块, 一直以来是集成电路的重点关注领域^[8-9]. 目前, 国内外研究机构 and 高校设计多种不同逻辑风格的全加器单元, 它们分别在低功耗、低开销、高性能、高可靠等方面凸显优势^[10-11].

本文通过研究互连线间电容耦合效应, 结合线计算电路设计原理, 在台积电(TSMC) 65 nm CMOS 工艺下采用相同电路结构实现 3 种线计算逻辑门, 提出基于线计算的全加器设计方案.

1 线计算理论分析与模型构建

随着集成电路工艺节点的不断缩小, 片上互

收稿日期: 2021-07-29.

宁波大学学报(理工版)网址: <http://journalg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61871244, 61874078); 浙江省省属高校基本科研业务费专项资金(SJLY2020015); 宁波市公益性计划项目(202002N3134); 宁波市科技计划项目(202003N4107); 宁波大学研究生科研创新基金(IF2021158).

第一作者: 李林(1997-), 男, 湖南岳阳人, 在读硕士研究生, 主要研究方向: 线计算逻辑电路设计. E-mail: lilin20211@163.com

*通信作者: 张跃军(1982-), 男, 浙江台州人, 副教授, 主要研究方向: 信息安全芯片与低功耗集成电路设计. E-mail: zhangyuejun@nbu.edu.cn

连线在芯片内部占的比重越来越大, 器件的密集放置和相邻金属线长距离并行走线所引起的串扰现象日趋明显. 互连线之间的串扰表现为动态线产生的电磁场对静态线产生影响, 在静态线上产生一定噪声. 芯片内部容性耦合为主要表现形式, 容性耦合现象分3种情况. 第1种是当干扰线信号从逻辑0跃变为逻辑1, 或从逻辑1跃变为逻辑0, 且受扰线处于静止状态时, 干扰线与受扰线间的耦合电容上存储电压的变化将改变受扰线的逻辑状态; 另外2种分别为受扰线与干扰线发生同向跃变和反向跃变. 在现有制造工艺下, 基于上述容性耦合现象, 利用互连线间的串扰现象来实现逻辑计算. 线计算模型如图1所示, 图中中间为受扰线, 两边为干扰线, 干扰线与受扰线间会形成耦合电容, 由电容计算公式 $C = \epsilon S / (4\pi Kd)$ (其中, ϵ 为相对介电常数; S 为金属互连线的相对面积; K 为静电力常量; d 为金属互连线间的距离) 可知, 耦合电容值大小与金属互连线间的相对介电常数和相对面积成正比, 与金属互连线间距成反比. 当干扰线信号从逻辑0向逻辑1跃变时, 受扰线上会产生一个处于高低电平之间的耦合电压, 该中间电平通过一个阈值反相器可转变为正确逻辑0或逻辑1. 通过调节金属线长度、宽度、线间距(l 、 w 、 s 分别表示金属线长度、宽度、线间距)等参数改变线间耦合电容大小, 并按照电路输入输出关系调整反相器阈值, 进而实现线计算门电路功能.

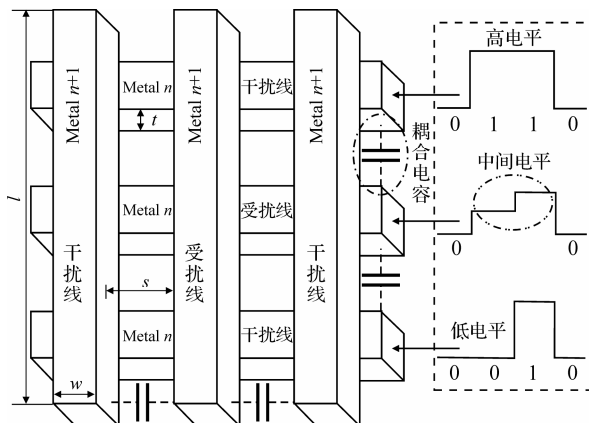


图1 线计算模型

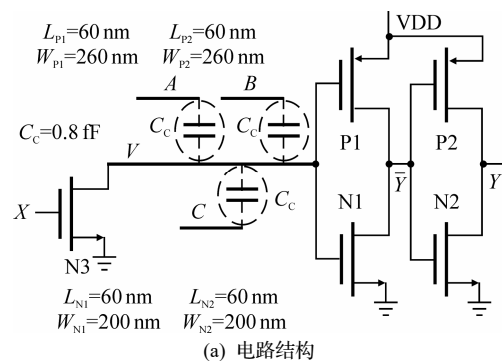
2 线计算逻辑门设计

2.1 与门

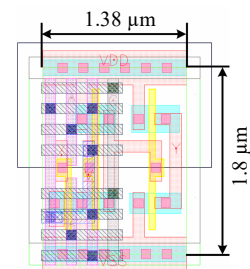
基于线计算理论设计三输入与门, 其逻辑表

达式为 $Y=ABC$, 电路结构如图2(a)所示. 三输入与门由5个MOS管和若干金属线组成, A 、 B 、 C 为干扰线输入信号, V 为受扰线输出信号, NMOS管 $N3$ 连接在受扰线一端, PMOS管 $P1$ 的栅极和NMOS管 $N1$ 的栅极相连在受扰线另一端, PMOS管 $P1$ 的漏极、NMOS管 $N1$ 的漏极与PMOS管 $P2$ 的栅极、NMOS管 $N2$ 的栅极相连. $N3$ 管栅极接入控制信号 X , 受扰线经 $N3$ 管放电至0. $P1$ 管和 $N1$ 管组成一个阈值反相器, 主要功能是对受扰线上的中间电平信号 V 进行整形, 由于干扰线与受扰线之间形成的耦合电容 C_c 的大小不同, 在受扰线上产生的耦合电压信号不同, 通过调整 $P1$ 管和 $N1$ 管的沟道尺寸改变反相器的阈值, 从而对耦合电平信号整形输出正确逻辑0或逻辑1. $P2$ 管和 $N2$ 管组成下一级反相器, 最终反相输出 Y . 线计算三输入与门的 $P1$ 管的沟道长度为60 nm、沟道宽度为260 nm, $N1$ 管的沟道长度为60 nm、沟道宽度为200 nm, $P2$ 管的沟道长度为60 nm、沟道宽度为260 nm, $N2$ 管的沟道长度为60 nm、沟道宽度为200 nm, 耦合电容 C_c 为0.8 fF.

线计算三输入与门版图如图2(b)所示, 电路中的耦合电容强度通过设置同层金属线之间的平行相对长度来实现, 即采用高层金属形成横向耦合电容, 其版图主要面积为 $2.484 \mu\text{m}^2$.



(a) 电路结构



(b) 版图

图2 三输入与门

2.2 复杂逻辑门

基于线计算电路结构特点和电容耦合原理, 进一步设计三输入复杂逻辑门. 首先设计如图 3(a) 所示的三输入与或门, 其逻辑表达式为 $Y=AB+BC+AC$. 电路结构中有 5 个 MOS 管、3 根干扰线和 1 根受扰线. P1 管和 N1 管以及 P2 管和 N2 管分别组成第一级反相器和第二级反相器, 第一级反相器为低阈值反相器用于整形输出 $\bar{Y}$, 第二级反相器用于反相输出 Y . 从上述逻辑表达式可以看出, 输入信号 A 、 B 、 C 对输出 Y 的作用程度相同, 从而干扰线 A 、干扰线 B 和干扰线 C 分别与受扰线形成的耦合程度相同, 其值为 1.5 fF . 该线计算三输入与或门的高阈值 PMOS 管 P1 的沟道长度为 200 nm 、沟道宽度为 120 nm , 低阈值 NMOS 管 N1 沟道长度为 60 nm 、沟道宽度为 400 nm , PMOS 管 P2 沟道长度为 60 nm 、沟道宽度为 260 nm , NMOS 管 N2 沟道长度为 60 nm 、沟道宽度为 200 nm , 其版图如图 3(b) 所示, 主要面积为 $2.484 \mu\text{m}^2$.

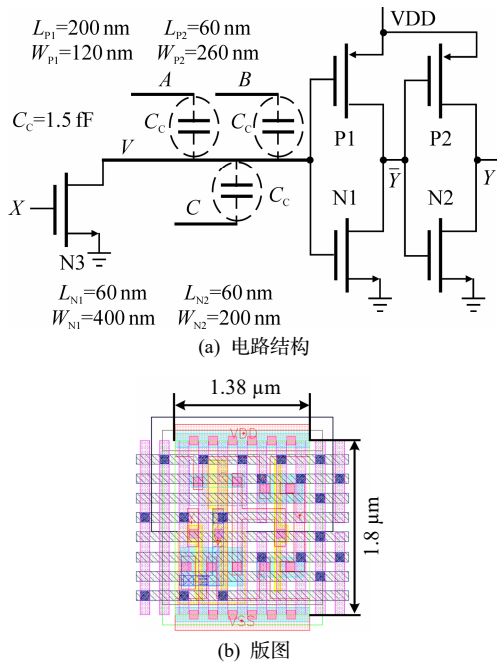


图3 三输入与或门

进一步设计不同程度耦合的三输入复杂逻辑门, 其逻辑表达式为 $Y=AB+C$, 与逻辑门 $Y=AB+BC+AC$ 相比, 两者的输入端以及输出端数量相同. 因此, 采用与后者相同的电路结构实现其逻辑功能, 线计算逻辑门 $Y=AB+C$ 电路结构如图 4(a) 所示. 从该门逻辑表达式可以看出, 输入信号 A 、 B 对输

出 Y 的作用程度相同, 且输入信号 C 对输出 Y 的作用程度等于输入信号 A 、 B 分别对输出 Y 的作用程度之和. 即干扰线 C 与受扰线形成的耦合程度是干扰线 A 或干扰线 B 与受扰线形成的耦合程度的 2 倍, 表现为干扰线 A 与受扰线之间的耦合电容大小和干扰线 B 与受扰线间的耦合电容大小相等, 耦合电容 C_c 为 2 fF , 则干扰线 C 与受扰线之间的耦合电容为 $2C_c$. 线计算三输入逻辑门 $Y=AB+C$ 的高阈值 PMOS 管 P1 的沟道长度为 200 nm 、沟道宽度为 120 nm , 低阈值 NMOS 管 N1 的沟道长度为 60 nm 、沟道宽度为 400 nm , PMOS 管 P2 的沟道长度为 60 nm 、沟道宽度为 260 nm , NMOS 管 N2 的沟道长度为 60 nm 、沟道宽度为 200 nm , 其版图如图 4(b) 所示, 主要面积为 $2.484 \mu\text{m}^2$.

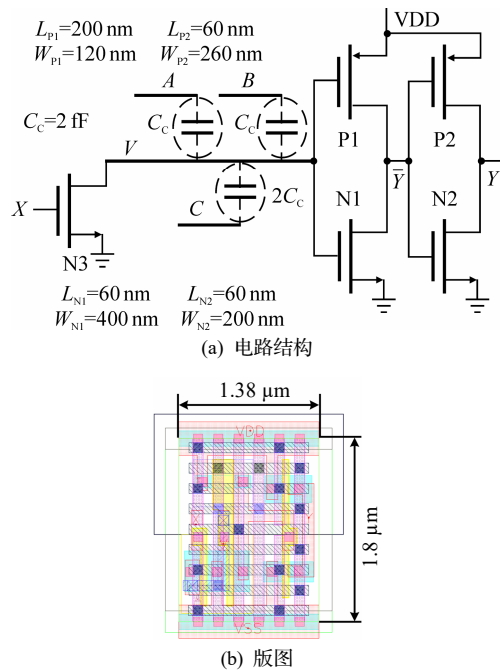


图4 $Y=AB+C$

3 全加器设计

3.1 一位全加器

加法运算是最基本的数字运算, 全加器是组合逻辑电路中的重要组成部分, 其作为数字集成电路各模块的核心部件. 一位全加器具有 3 个输入和 2 个输出, 其 2 个输出的逻辑表达式分别为 $CO=AB+BC+AC$, $Y=\overline{ABC}+\overline{AB}\overline{C}+\overline{A}\overline{B}C+ABC$. 为了使用上述逻辑门设计线计算一位全加器, 对其逻辑表达式 Y 进行化简如下:

$$\begin{aligned}
 Y &= \overline{ABC} + \overline{AB}C + \overline{A}BC + ABC = \\
 &= (\overline{AB} + \overline{BC} + \overline{AC}) \cdot (A + B + C) + ABC = \\
 &= \overline{CO} \cdot (A + B + C) + ABC. \quad (1)
 \end{aligned}$$

由逻辑表达式(1)可知, 线计算一位全加器输出 Y 的逻辑表达式形如线计算三输入逻辑门 $Y = AB + C$, 即式(1)的 $\overline{CO}$ 作为逻辑门 $Y = AB + C$ 的第1个输入 A , 式(1)的 $A + B + C$ 作为逻辑门 $Y = AB + C$ 的第2个输入 B , 式(1)的 ABC 作为逻辑门 $Y = AB + C$ 的第3个输入 C , 因此, 线计算一位全加器输出 Y 采用线计算逻辑门 $Y = AB + C$ 来实现. 同时, 逻辑表达式(1)中的 $A + B + C$ 和 ABC 分别使用 CMOS 三输入或门和线计算三输入与门来实现, 线计算一位全加器输出 CO 采用线计算三输入逻辑门 $Y = AB + BC + AC$ 来实现.

基于上述线计算逻辑门设计的线计算一位全加器电路结构如图5所示, 其版图如图6所示, 版图面积为 $11.448 \mu\text{m}^2$. 该全加器由3个线计算逻辑

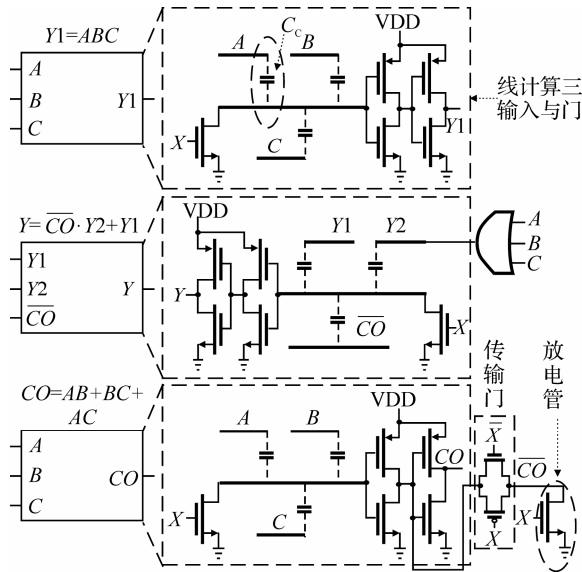


图5 一位全加器电路结构

门、1个 CMOS 三输入或门、1个传输门和1个放电管组成. 线计算三输入与门输出端为 $Y1$, CMOS 三输入或门输出端为 $Y2$, 线计算三输入逻辑门 $CO = AB + BC + AC$ 中的第一级反相器的漏极后面接一个传输门, 传输门后接一个放电管, 主要功能是确保传输门输出信号 $\overline{CO}$ 作为下级线计算电路的输入信号时, 干扰线的输入信号是从逻辑0到逻辑1的跃变. 在求值状态下, 干扰线与受扰线经耦合电容的感应作用, 实现线计算的一位全加器逻辑功能.

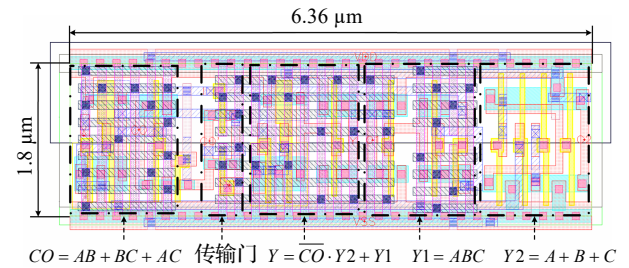


图6 一位全加器版图

3.2 多位全加器

将多个全加器级联起来, 上一个全加器的进位输出连接到下一个全加器的进位输入, 从而实现多位全加器. 线计算四位全加器电路结构如图7所示, 其版图如图8所示.

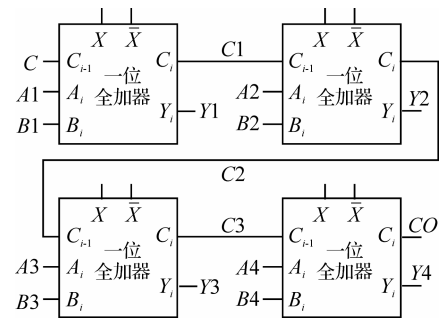


图7 四位全加器电路结构

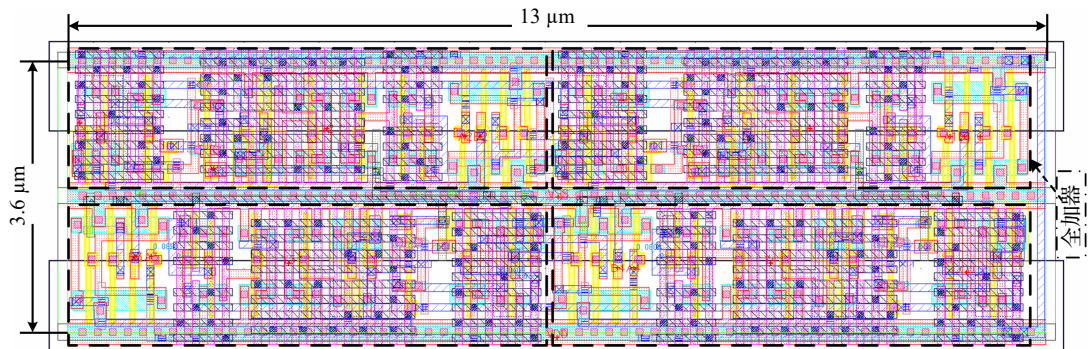


图8 四位全加器版图

在线计算全加器中,通过调整干扰线与受扰线的耦合强度配比以实现不同的逻辑功能.图9是全加器中的线计算逻辑门的有源区、多晶硅、接触孔布局图.3个不同逻辑功能的线计算门相似度极高,其中,线计算逻辑门 $Y=AB+BC+AC$ 与线计算逻辑门 $Y=AB+C$ 版图布局完全相同.因此,攻击者难以通过芯片布局进行逆向工程来获得电路设计,所设计的线计算全加器能有效防止逆向工程攻击.

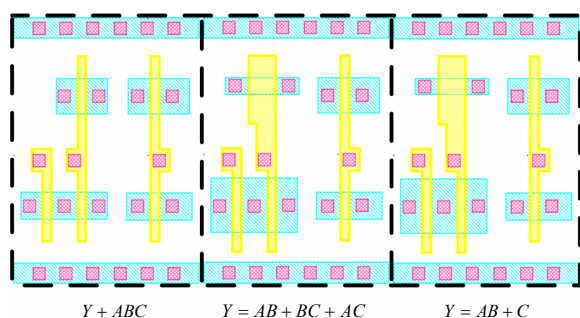


图9 有源区、多晶硅、接触孔布局图

4 实验结果与分析

4.1 与门仿真

在TSMC 65 nm工艺下,对线计算三输入与门进行功能验证,仿真波形如图10所示.线计算逻辑门工作状态有放电状态(Discharge State, DS)和求值状态(Evaluation State, ES)两种.在0 ns时刻, X 为高电平,放电晶体管NMOS导通至地,电路工作在放电状态,受扰线放电为逻辑0.在1 ns时刻, X 为低电平,放电管不导通,电路工作在求值状态,干扰线 A 为逻辑0,干扰线 B 和干扰线 C 从逻辑0跃变为逻辑1,经耦合电容的感应作用,受扰线 V 产生0.48 V电压信号,经两级反相器整形输出 Y 为逻辑0.同理,在3 ns时刻,干扰线 A 和干扰线 C 从逻辑0跃变为逻辑1,受扰线 V 也产生0.48 V电压信号,从而输出 Y 为逻辑0.在5 ns时刻,干扰线 A 和干扰线 B 都为逻辑0,仅干扰线 C 从逻辑0跃变为逻辑1,经耦合电容的感应作用,受扰线 V 仅产生0.22 V电压信号,经两级反相器整形输出 Y 为逻辑0.在7 ns时刻,干扰线 A 、 B 和 C 均从逻辑0跃变为逻辑1,经耦合电容的感应作用,受扰线 V 产生的耦合电压最高,其值为0.7 V,经两级反相器整形输出 Y 为逻辑1.仿真线计算三输入与门在不同负载下的功耗和延时情况,输出端 Y 后接4个并

联的反相器作为负载,负载输出端为 $Y1$;输出端 Y 后接8个并联的反相器作为负载,负载输出端为 $Y2$.当负载为4个并联的反相器时,电路平均功耗为2.62 μW ,输出端 $Y1$ 的平均延时为85 ps.当负载为8个并联的反相器时,电路平均功耗为3.75 μW ,输出端 $Y2$ 的平均延时为112 ps.

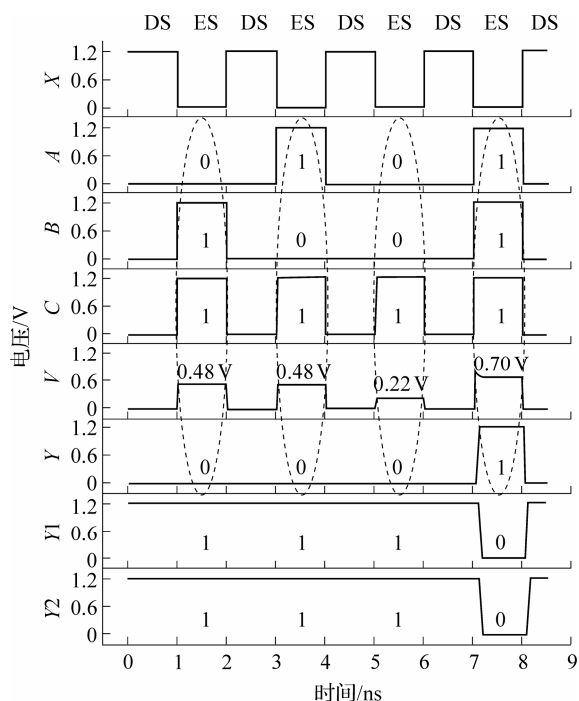


图10 三输入与门仿真波形

4.2 复杂逻辑门仿真

对线计算逻辑门 $Y=AB+BC+AC$ 进行功能验证,仿真波形如图11所示.在0 ns时刻,逻辑门 $Y=AB+BC+AC$ 的干扰线 V 放电至0.在1 ns时刻,电路处于求值状态,干扰线 A 和干扰线 B 同时从逻辑0跃变为逻辑1,干扰线 C 为逻辑0,干扰线 A 和干扰线 B 电压信号的上升跃变经耦合电容的感应作用,在受扰线上产生0.47 V电压信号,通过后级低阈值反相器整形后,再经下一级反相器反相输出 Y 为逻辑1.同理,在3 ns时刻,当干扰线 A 和干扰线 C 发生上升跃变时,受扰线经耦合电容感应,产生0.47 V电压信号,经两级反相器输出 Y 为逻辑1.在5 ns时刻,仅干扰线 A 发生上升跃变,感应产生的电压为干扰线 A 和干扰线 B 同时上升跃变的一半,其值为0.23 V,从而输出 Y 为逻辑0.在7 ns时刻,3根干扰线信号都发生上升跃变,使得受扰线上产生的感应电压最高,其值为0.78 V,

最终经两级反相器整形输出 Y 为逻辑 1. 仿真线计算逻辑门 $Y=AB+BC+AC$ 在不同负载下的功耗和延时情况, 输出端 Y 后接 4 个并联的反相器作为负载, 负载输出端为 $Y1$; 输出端 Y 后接 8 个并联的反相器作为负载, 负载输出端为 $Y2$. 当负载为 4 个并联的反相器时, 电路平均功耗为 $6.26 \mu\text{W}$, 输出端 $Y1$ 的平均延时为 113 ps. 当负载为 8 个并联的反相器时, 电路平均功耗为 $9.86 \mu\text{W}$, 输出端 $Y2$ 的平均延时为 124 ps.

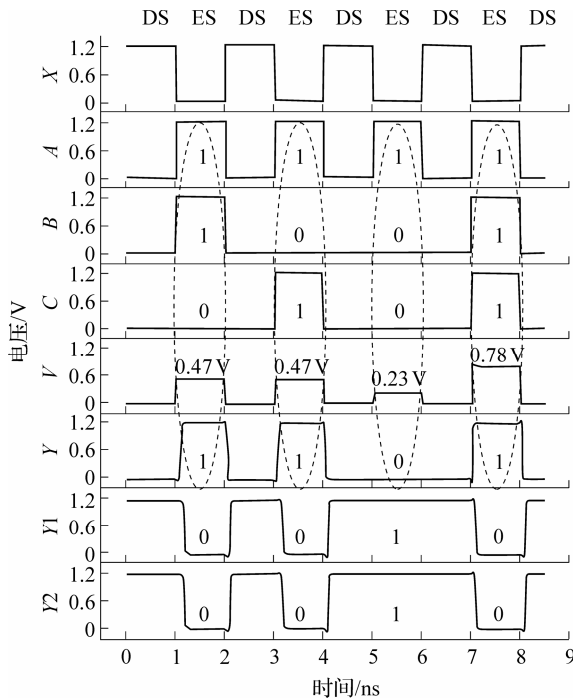


图 11 $Y=AB+BC+AC$ 逻辑门仿真波形

进一步对线计算逻辑门 $Y=AB+C$ 进行功能验证, 仿真波形如图 12 所示. 初始时刻, 受扰线放电至 0, 即求值状态前, 受扰线放电, 清除前一逻辑操作的值, 确保下一个逻辑操作不受影响. 在 1 ns 时刻, 仅干扰线 B 发生上升跃变, 经耦合电容 C_C 感应, 产生 0.21 V 电压信号, 经两级反相器输出 Y 为逻辑 0. 在 3 ns 时刻, 干扰线 C 发生上升跃变, 经耦合电容 $2C_C$ 感应, 产生 0.43 V 电压信号, 通过低阈值反相器整形后, 经下级反相器反相输出 Y 为逻辑 1. 在 7 ns 时刻, 3 根干扰线信号都为逻辑 0, 受扰线产生的感应电压最低, 从而输出 Y 为逻辑 0. 在 9 ns 时刻, 干扰线 B 和干扰线 C 同时发生上升跃变, 使得受扰线产生的电压为 0.67 V, 经低阈值反相器整形为逻辑 0, 再经后级反相器输出 Y 为逻辑

1. 仿真线计算逻辑门 $Y=AB+C$ 在不同负载下的功耗和延时情况, 输出端 Y 后接 4 个并联的反相器作为负载, 负载输出端为 $Y1$; 输出端 Y 后接 8 个并联的反相器作为负载, 负载输出端为 $Y2$. 当负载为 4 个并联的反相器时, 电路平均功耗为 $5.31 \mu\text{W}$, 输出端 $Y1$ 的平均延时为 156 ps. 当负载为 8 个并联的反相器时, 电路平均功耗为 $8.69 \mu\text{W}$, 输出端 $Y2$ 的平均延时为 210 ps.

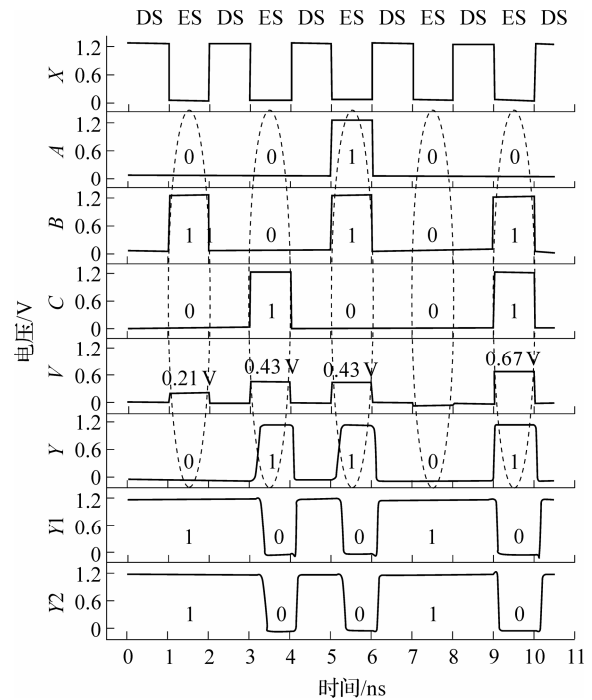


图 12 $Y=AB+C$ 逻辑门仿真波形

4.3 全加器仿真

线计算一位全加器仿真波形如图 13 所示. 在 1 ns 时刻, 电路工作在求值状态下, 输入 $A=1$ 、 $B=1$ 、 $C_{in}=0$, 输出 Y 为逻辑 0, CO 为逻辑 1. 在 3 ns 时刻, 输入 $A=1$ 、 $B=0$ 、 $C_{in}=1$, 输出 Y 为逻辑 0, CO 为逻辑 1. 在 5 ns 时刻, 输入 $A=1$ 、 $B=0$ 、 $C_{in}=0$, 输出 Y 为逻辑 1, CO 为逻辑 0. 在 7 ns 时刻, 输入 $A=1$ 、 $B=1$ 、 $C_{in}=1$, 输出 Y 为逻辑 1, CO 为逻辑 1. 仿真结果表明, 基于线计算的一位全加器逻辑功能正确.

进一步对线计算四位全加器版图提取寄生参数进行后仿真, 其仿真波形如图 14 所示. 电路求值前, 受扰线电压清零, 使得干扰线从逻辑 0 到逻辑 1 跃变时, 在受扰线上能产生感应电压. 在 1 ns 时刻, 输入被加数 $A[4:1]=1011$ 、加数 $B[4:1]=1010$ 、

低位进位 $C=0$, 输出 $Y_4Y_3Y_2Y_1=0101$ 、 $CO=1$. 在 3 ns 时刻, 输入被加数 $A[4:1]=1101$ 、加数 $B[4:1]=1100$ 、低位进位 $C=1$, 输出 $Y_4Y_3Y_2Y_1=1010$ 、 $CO=1$. 在 5 ns 时刻, 输入被加数 $A[4:1]=1001$ 、加数 $B[4:1]=1000$ 、低位进位 $C=0$, 输出 $Y_4Y_3Y_2Y_1=0001$ 、 $CO=1$. 在 15 ns 时刻, 输入被加数 $A[4:1]=1111$ 、加数 $B[4:1]=1111$ 、低位进位 $C=1$, 输出 $Y_4Y_3Y_2Y_1=1111$ 、 $CO=1$. 仿真结果表明, 基于线计算的四位全加器逻辑功能正确.

采用 4 个并联的反相器来代替负载接在待测试电路的输出端, 表 1 给出仿真待测试电路在负载下的电路功耗和延时信息. 与传统 CMOS 设计方法相比, 线计算逻辑门 $Y=AB+BC+AC$ 使用晶体管数量、面积、延时分别减少 72.2%、61.7%、20.4%, 线计算逻辑门 $Y=AB+C$ 使用晶体管数量、面积、功耗分别减少 50%、37.3%、8.1%, 由此可见, 所设计的线计算逻辑门在使用晶体管数量、面积、功耗和速度等方面具有一定优势. 采用线计算实现的加法器中有电路版图结构完全相同的不同逻辑功能的门, 且金属线作为线计算电路结构的关键部件之一, 逆向设计者无法从芯片版图得到正确的逻辑功能, 因此具有良好的抗逆向工程能力.

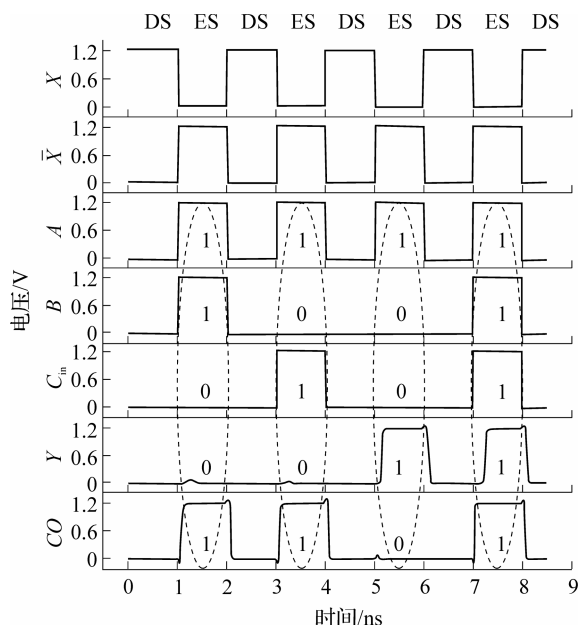


图 13 一位全加器仿真波形

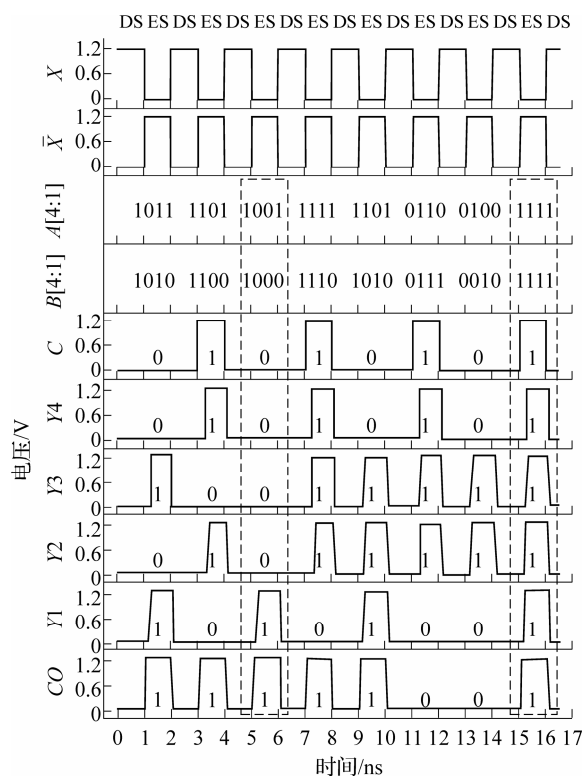


图 14 四位全加器仿真波形

表 1 与相关设计电路比较

设计方法	电路	工艺/nm	晶体管数量	面积/ μm^2	功耗/ μW	延时/ps
CMOS	$Y=AB+BC+AC$	65	18	6.480	11.21	142
CMOS	$Y=AB+C$	65	10	3.960	5.78	99
线计算	$Y=AB+BC+AC$	65	5	2.484	6.26	113
线计算	$Y=AB+C$	65	5	2.484	5.31	156
线计算	一位全加器	65	26	11.448	10.84	170

5 结论

通过对线计算理论和模型的研究, 探索采用相同电路结构实现不同逻辑功能, 提出一种基于线计算的全加器设计方案. 在 TSMC 65 nm CMOS 工艺下, 采用全定制方式完成了线计算与门和复杂逻辑门, 并继而实现线计算一位全加器和四位全加器, 仿真验证所设计的线计算电路具有正确的逻辑功能. 同时, 所设计的线计算全加器电路结构中包含多个相同结构的相似伪装门, 使其具有抗逆向工程能力, 可广泛应用于安全芯片中, 对提高集成电路抗逆向工程的能力具有重要意义.

参考文献:

- [1] Kim N S, Austin T, Baauw D, et al. Leakage current: Moore's law meets static power[J]. Computer, 2003,

- 36(12):68-75.
- [2] Kim, Y B. Challenges for nanoscale MOSFETs and emerging nanoelectronics[J]. Transactions on Electrical and Electronic Materials, 2010, 11(3):93-105.
- [3] Ullah M S, Chowdhury M H. Analytical models of high speed RLC interconnect delay for complex and real poles[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(6):1831-1841.
- [4] Macha N K, Chitturi V, Vijjapuram R, et al. A new concept for computing using interconnect crosstalks[C]// IEEE International Conference on Rebooting Computing, Washington DC, USA, 2017:1-2.
- [5] Iqbal M A, Macha N K, Repalle B T, et al. Designing crosstalk circuits at 7 nm[C]//IEEE International Conference on Rebooting Computing, San Mateo, CA, USA, 2019:1-4.
- [6] Desh R, Macha N K, Hossain S, et al. A novel analog to digital conversion concept with crosstalk computing[C]// IEEE/ACM International Symposium on Nanoscale Architectures, Athens, Greece, 2018:1-3.
- [7] Iqbal M A, Macha N K, Repalle B T, et al. A logic simplification approach for very large scale crosstalk circuit designs[C]//IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH), Qingdao, China, 2019:1-6.
- [8] Goel S, Kumar A, Bayoumi M A. Design of robust, energy-efficient full adders for deep-submicrometer design using hybrid-CMOS logic style[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2006, 14(12):1309-1321.
- [9] Bhattacharyya P, Kundu B, Ghosh S, et al. Performance analysis of a low-power high-speed hybrid 1-bit full adder circuit[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(10):2001-2008.
- [10] Gang Y, Zhao W S, Klein J O, et al. A high-reliability, low-power magnetic full adder[J]. IEEE Transactions on Magnetics, 2011, 47(11):4611-4616.
- [11] Amirany A, Rajaei R. Fully nonvolatile and low power full adder based on spin transfer torque magnetic tunnel junction with spin-hall effect assistance[J]. IEEE Transactions on Magnetics, 2018, 54(12):1-7.

Design of full adder based on line crosstalk computing

LI Lin, ZHANG Yuejun*, ZHANG Huihong

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: With the on-going reduction of the characteristic size of integrated circuits, the interconnected metal wires take up an increasing proportion in the chip space. However, these wires are only used for data transmission, and the chip's computing ability still depends on the switch of transistors. How to improve the computing ability of chip with limited hardware resources has become a key issue of IC design. In this paper, by studying the capacitive coupling effect resulting from the metal interconnectors and the advantage of using the line crosstalk phenomenon to complete the logical operation, a design scheme of full adder based on line crosstalk computing is proposed. The scheme first establishes a line crosstalk computing model, and uses the same line crosstalk computing circuit structure to implement different logic gates by adjusting the inverter threshold and the capacitive coupling strength between different interference lines and the victim line. Then, a full adder based on line crosstalk computing is implemented on the basis of logic gates. Finally, the simulation verification under the TSMC 65 nm CMOS process shows that the designed line crosstalk computing circuit has the correct logic function. Compared with traditional design methods, the line crosstalk computing logic gates achieve lower overhead, and the line crosstalk computing full adder acquires the ability to resist reverse engineering scheme.

Key words: line crosstalk computing; capacitive coupling; logic gate; full adder

(责任编辑 章践立)