

## 基于沟长偏置的近阈值逻辑漏功耗减小技术

范晓慧, 邬杨波\*, 倪海燕

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

**摘要:** 随着集成电路芯片特征尺寸的不断缩小, 减小漏功耗已成为集成电路设计技术的焦点之一。在近阈值逻辑电路中, 亚阈值漏电流是其最主要漏电流的构成。根据 MOS 器件沟道长度与亚阈值漏电流之间的非线性关系, 通过适度提高 MOS 器件的沟道长度从而降低 CMOS 逻辑电路的漏功耗, 形成了基于沟长偏置的漏功耗减小技术。应用 HSPICE 软件对基于 45 nm PTM 工艺参数沟长偏置为 8% 的基本逻辑门电路、镜像加法器和传输门加法器的漏电流进行了仿真测试, 实验结果表明漏电流约下降了 39%~44%。因此沟长偏置技术是一种有效的适用于近阈值逻辑的漏功耗减小技术。

**关键词:** 亚阈值漏电流; 沟长偏置; 近阈值逻辑; 漏功耗减小

**中图分类号:** TN402

**文献标志码:** A

**文章编号:** 1001-5132 (2013) 03-0045-06

近年来随着芯片工艺技术的快速发展, 芯片的特征尺寸进入纳米级。电路工作速度的不断提高和规模的持续增大以及漏功耗的指数增长, 导致芯片功耗急剧增大, 减小芯片功耗已成为急需解决的关键技术问题<sup>[1-3]</sup>。在目前的 CMOS 工艺中, 传统的直流电源供电的 CMOS 电路功耗主要由 3 部分组成: 节点电容充放电引起的动态功耗、电路翻转时产生的短路电流功耗和 MOS 器件的漏电流功耗。短路功耗所占比例较低<sup>[4]</sup>, 因此, 集成电路的各个层次的低功耗设计主要是围绕降低充放电动态功耗以及减小漏功耗进行。

对于动态功耗, 研究者已提出了多种电路级低功耗实现方案。例如, 为了减小芯片的动态功耗, 研究者提出了减小开关活动性的冗余跳变抑制技术, 减小节点电容的开关级设计技术, 减小电源电压的低电压设计技术, 以及改变能量转换方式的能量恢复型电路设计技术等<sup>[5-8]</sup>。最近有学者提出了一种新的低功耗设计技术——近阈值计算(near-threshold compute), 通过降低电源电压到 MOS 器件的阈值电压附近, 从而极大地降低电路的动态

功耗, 此时 MOS 器件处于中等反型状态(moderate inversion), 可保持较高电路性能<sup>[9-11]</sup>。

然而, 随着器件特征尺寸的进一步减小, MOS 器件短沟效应进一步增强, 纳米 CMOS 芯片漏功耗将继续持续增大, 近阈值逻辑电路的漏功耗依然不容忽视。当前, 研究者已提出了多种漏功耗减小技术<sup>[12]</sup>, 例如双阈值技术、晶体管堆垛技术、多种休眠技术等。双阈值技术是采用具有不同阈值电压的晶体管来实现的。阈值电压低的晶体管用来实现逻辑功能, 阈值电压高的晶体管来使电路与电源和地断开, 产生一个虚拟的电源和虚拟的地<sup>[13-14]</sup>。这种技术可以在任何操作状态或者是待机状态都可以减小漏电流, 设计者通常在电路的关键时序路径采用低阈值门, 而在非关键时序路径采用高阈值门<sup>[15]</sup>。然而, 双阈值技术主要在电路的组合逻辑部分漏电流减小显著<sup>[15]</sup>, 故在时序电路部分这种技术就不适合。晶体管堆垛技术是把一些 NMOS 和 PMOS 管加入到电路中来增加电路的堆叠效应, 从而减小待机状态的漏电流。该技术使下拉网络不导通, 可以使待机状态的输出保持

收稿日期: 2012-11-14.

宁波大学学报(理工版) 网址: <http://journal.lg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61071049); 宁波市自然科学基金(2011A610102); 浙江省教育厅科研项目(Y201120962)。

第一作者: 范晓慧(1988—), 女, 河南郑州人, 在读硕士研究生, 主要研究方向: 低功耗集成电路设计。E-mail: easyfanxh@126.com

\*通信作者: 邬杨波(1972—), 男, 浙江奉化人, 副教授, 主要研究方向: 集成电路设计。E-mail: wuyangbo@nbu.edu.cn

不变,但是这样就增加了电源和地之间的电阻,而且会在浮动结点的扇出产生短路电流<sup>[13]</sup>。现有的漏功耗减小技术主要适用于采用标准电源电压工作的数字逻辑电路。而近阈值逻辑电路由于电路工作电压的下降, MOS 器件处于中等反型状态,其漏电流特性不同于处于标准工作电压下的 MOS 管。因此,对于近阈值逻辑电路的漏功耗减小技术还有待于进一步研究。

笔者根据近阈值逻辑电路中 MOS 器件的漏电流特点,提出了基于沟长调制的近阈值逻辑漏功耗减小技术。该技术根据纳米 MOS 器件亚阈值漏电流、阈值电压、器件沟道长度之间的非线性关系,通过适当提高 MOS 器件的沟道长度以减小电路漏功耗。

## 1 MOS 器件漏电流

### 1.1 MOS 器件漏电流构成

按漏电流产生的物理机制分类, MOS 器件主要存在 6 种漏电流<sup>[16]</sup>: PN 结反偏电流( $I_1$ )、亚阈值漏电流( $I_2$ )、栅极隧穿电流( $I_3$ )、栅极热载流子注入电流( $I_4$ )、栅致漏极漏电流( $I_5$ )、衬底穿透电流( $I_6$ ),如图 1 所示。从电路设计角度看,漏电流可分为 3 类:亚阈值漏电流(sub-threshold leakage current),栅极漏电流(gate leakage current),漏源-衬底反偏漏电流(reverse biased drain-substrate and source-substrate leakage current),其中,亚阈值漏电流和栅极漏电流是主要的漏电流来源。

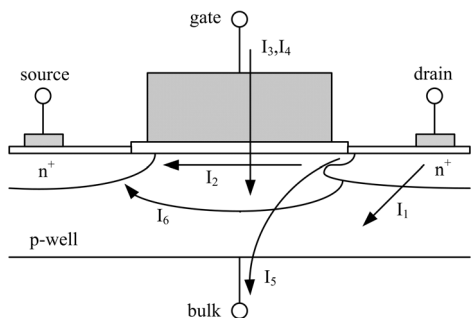


图 1 MOS 器件漏电流的构成

亚阈值漏电流(弱反型导通电流)是指 MOS 管栅电压低于阈值时在漏源之间所产生的电流,可以表示为:

$$I_{\text{on-sub}} = \frac{W}{L_{\text{eff}}} \mu_{\text{eff}} C_{\text{ox}} (m-1) v_T^2 \exp\left(-\frac{V_{\text{gs}} - V_{\text{th}}}{m v_T}\right) \cdot$$

$$[1 - \exp(-V_{\text{ds}} / v_T)], \quad (1)$$

其中:  $v_T = kT/q$  为温度电压当量,  $m$  为亚阈值摆率系数,  $V_{\text{th}}$  为 MOS 器件阈值电压。

由(1)式可知, MOS 管的漏电流与  $V_{\text{th}}$ 、 $V_{\text{DD}}$  成指数关系,  $V_{\text{th}}$ 、 $V_{\text{DD}}$  的变化将对亚阈值漏电流产生很大的影响。

栅极漏电流是能量低于界面势垒高度的载流子直接隧穿栅氧化层形成的。衬底与栅之间的隧穿现象是由 2 种不同的隧穿机理引起: (1) FN 隧穿(fowler-nordheim tunneling), (2) 直接隧穿(direct tunneling)。对于纳米级 CMOS 短沟器件 FN 隧穿电流通常可以忽略, 栅漏电流主要是由直接隧穿电流构成, 其电流密度可以表示为:

$$J_{\text{DT}} = A E_{\text{OX}}^2 \exp(-B(1 - (1 - V_{\text{OX}}/\phi_{\text{OX}})^{3/2})/E_{\text{OX}}), \quad (2)$$

$$A = q^3 / 16\pi^2 \hbar \phi_{\text{OX}}, \quad B = 4\sqrt{2m^*} \phi_{\text{OX}}^{3/2} / 3\hbar q,$$

其中:  $E_{\text{OX}}$  为栅氧的电场强度;  $\phi_{\text{OX}}$  电子势垒高度;  $m^*$  是电子的有效质量;  $V_{\text{OX}}$  是栅氧电压降, 其与栅源电压  $V_{\text{gs}}$  之间的关系如(3)式:

$$V_{\text{gs}} = V_{\text{fb}} + V_{\text{OX}} + \phi_s + V_{\text{poly}}, \quad (3)$$

其中:  $\phi_s$  是硅表面电势,  $V_{\text{poly}}$  是多晶硅耗尽层电势,  $V_{\text{fb}}$  是平带费米电势。

### 1.2 MOS 器件漏电流的电压特性

由 MOS 器件漏电流特性可知, 电源电压大小对 MOS 器件漏电流有较大的影响。应用 HSPICE 仿真软件对采用 PTM 模型参数的 45 nm 工艺 NMOS 管的亚阈值漏电流和栅漏电流随电源电压的变化情况进行仿真, 结果如图 2 所示。图 2 给出了亚阈值漏电流  $I_{\text{sub}}$  和栅漏电流  $I_{\text{gate}}$  随电压的变化情况, 其中  $I_{\text{gr}}$  为反向栅漏电流,  $I_{\text{gf}}$  正向栅漏电流。

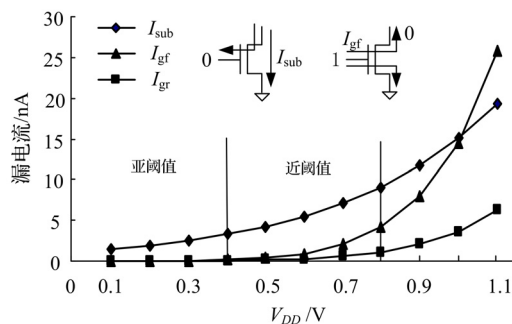


图 2 NMOS 管漏电流-电压特性

由仿真结果可知, 在标准电源电压(1.1 V)下, 栅漏电流  $I_{\text{gf}}$  比亚阈值漏电流  $I_{\text{sub}}$  大了约 33%。随着

电源电压的下降, 漏电流均有不同程度的下降, 然而栅漏电流下降得更为迅速. 在近阈值区域(0.4~0.8 V)栅漏电流  $I_{gf}$  比标准电源电压下降了 10~4173 倍. 在电源电压为 0.6 V 时, 栅漏电流  $I_{gf}$ 、 $I_{gr}$  分别为亚阈值漏电流的 16.3% 和 5.5%. 因此, 对于近阈值逻辑电路, 亚阈值漏电流是电路漏电流的主要构成部分.

## 2 基于沟长偏置的低漏功耗技术

### 2.1 沟长偏置对亚阈值漏电流的影响

纳米级 CMOS 器件因短沟效应, 沟道长度的缩短导致阈值电压不断下降. 由(1)式可知阈值电压的减小将导致亚阈值漏电流指数上升. 由 BSIM4.6 模型可知, 短沟效应(short-channel effect, SCE)和漏极偏置电压所导致的漏势垒降低(drain induced barrier lowering, DIBL)是导致阈值电压下降的 2 个最为主要的因素, 其对阈值电压的影响可表示为<sup>[17]</sup>:

$$\Delta V_{th}(SCE, DIBL) = -\theta_{th}(L_{eff}) \cdot [2(V_{bi} - \Phi_s) + V_{ds}], \quad (4)$$

式中:  $L_{eff}$  为器件的有效沟道长度,  $V_{bi}$  是漏源 PN 结内建电势,  $\Phi_s$  是硅表面电势,  $V_{ds}$  是漏源电压,  $\theta_{th}$  为短沟效应系数, 可以表示为:

$$\theta(L_{eff}) = 0.5 / (\cosh(L_{eff} / l_t) - 1), \quad (5)$$

式中:  $l_t$  是 MOS 器件的特征长度, 其大小取决于材料的介电常数、沟道耗尽层深度以及栅氧化层厚度. 显然沟道长度的增加将减小短沟效应系数, 从而抑制了阈值电压的降低, 由此减小 MOS 器件的亚阈值漏电流.

用 HSPICE 对采用 PTM 45 nm 工艺参数 MOS 器件的亚阈值漏电流随沟长变化情况进行仿真测试, NMOS 和 PMOS 管的沟道宽度为 1 000 nm, 最

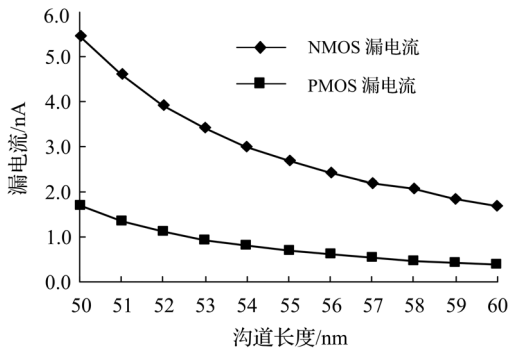


图3 45 nm 工艺 MOS 器件亚阈值漏电流随沟长变化

小沟道长度为 50 nm, 电源电压为 0.6 V, 其结果如图 3 所示. NMOS 管在  $L=55$  nm 和 60 nm 时, 漏电流分别下降了 51% 和 69%; 而 PMOS 管在  $L=55$  nm 和 60 nm 时, 漏电流分别下降了 59% 和 76%. 显然沟长的增大可以有效减小亚阈值漏电流, 且漏电流的下降速率随沟道长度的增加而减小.

### 2.2 单元级沟长偏置低漏功耗技术

由 2.1 节分析可知, 通过适当提高逻辑单元内 MOS 器件的沟道长度可有效地抑制亚阈值漏电流. 从设计角度而言, 沟长偏置技术可以分为晶体管级沟长偏置技术和单元级沟长偏置技术. 晶体管级沟长偏置技术是指根据基本门电路和时序电路的特点以及 PMOS 和 NMOS 特性的差异, 基本单元中的晶体管采用不同的沟长偏置, 在降低漏电流的同时进一步提高电路的性能. 单元级沟长偏置技术是指基本门电路和时序电路(锁存器、触发器)中晶体管都采用相同的沟道偏置, 通过沟道长度的提高以抑制漏电流. 显然, 沟道长度的增加将使逻辑电路的负载电容增大, 致使电路延时增大, 从而降低电路性能. 因此, 单元级沟长偏置技术的关键是如何根据电路的性能要求选择合理的沟长偏置.

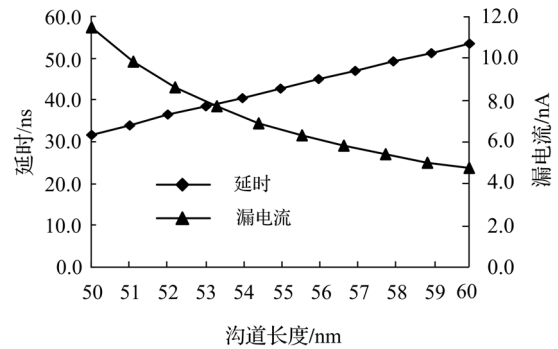


图4 反相器链沟长、延时与漏电流特

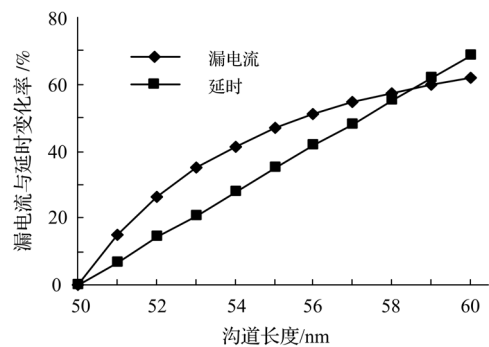


图5 反相器链延时、漏电流的变化率

应用 HSPICE 对 0.6V 电源电压下 12 级反相器链沟长、延时与漏电流之间的关系进行了仿真测试, 结果如图 4 所示. 反相器 NMOS 和 PMOS 管的宽度分别为 200 nm 和 400 nm, 沟道长度变化范围为 50~60 nm. 由实验结果可知, 反相器延时随沟道长度的增加而线性增大; 在沟长增量小于标准沟长的 10% 时, 漏电流非线性的迅速减小, 而在沟长增量进一步增加时, 曲线变得平坦, 漏电流减速变小.

图 5 给出了反相器链漏电流、延时的变化率与沟长之间的关系(图中漏电流变化率为绝对值), 可以看到在沟长 53 nm 处存在一个最优点. 因此, 取沟长增量相对于标准沟长的 5%~10% 是一个较为合理的值.

### 3 基于沟长偏制的低漏功耗近阈值组合逻辑电路

#### 3.1 低漏功耗近阈值基本门电路

用 HSPICE 对采用 PTM 45 nm 工艺参数的沟长偏置基本逻辑门: 2 输入与非门、2 输入或非门和 2 输入异或门的漏电流和延时性能进行了仿真测试. PTM 45 nm 工艺参数的标准沟长为  $L=2\lambda=50$  nm, 与非门、或非门中 NMOS 和 PMOS 管的沟道宽如图 6 所示. 异或门中反相器的 NMOS 和 PMOS 的宽度分别为  $4\lambda$  和  $8\lambda$ , 传输管 NMOS 和 PMOS 的宽

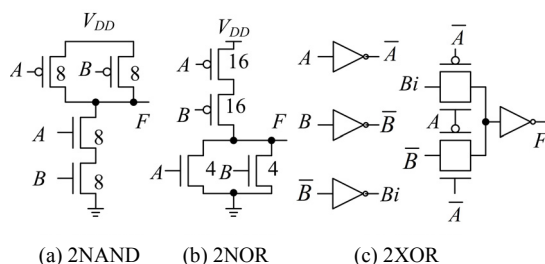


图 6 基本门电路

表 5 近阈值基本门电路漏电流特性

| 输入            | 2NAND/nA |       | 2NOR/nA |       | 2XOR/nA |       |
|---------------|----------|-------|---------|-------|---------|-------|
|               | 50 nm    | 54 nm | 50 nm   | 54 nm | 50 nm   | 54 nm |
| 00            | 0.39     | 0.31  | 1.16    | 0.69  | 2.71    | 1.55  |
| 01            | 1.20     | 0.71  | 0.67    | 0.32  | 2.92    | 1.70  |
| 10            | 0.84     | 0.56  | 0.42    | 0.23  | 2.71    | 1.55  |
| 11            | 0.65     | 0.31  | 0.10    | 0.07  | 2.43    | 1.31  |
| 平均值           | 0.77     | 0.47  | 0.59    | 0.33  | 2.69    | 1.52  |
| $\Delta I/\%$ |          | -39.0 |         | -44.1 |         | -43.5 |

度分别为  $8\lambda$  和  $16\lambda$ . 根据 2.2 节分析结果, 为了保持电路漏电流的降低以及电路性能之间平衡, 考虑与制造工艺之间的兼容, 选择沟长偏置为  $L=2.16\lambda=54$  nm. 近阈值逻辑的电源电压  $V_{DD}=0.6$  V. 基本门电路漏电流特性和延时特性的测试结果见表 5 和表 6.

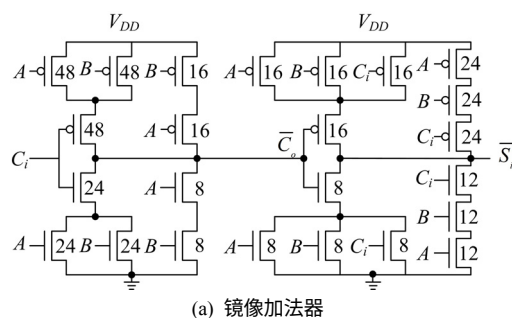
表 6 近阈值基本门电路延时特性

| 输入              | 2NAND |       | 2NOR  |       | 2XOR  |       |
|-----------------|-------|-------|-------|-------|-------|-------|
|                 | 50 nm | 54 nm | 50 nm | 54 nm | 50 nm | 54 nm |
| $T_d/\text{ps}$ | 56.6  | 71.7  | 61.5  | 75.4  | 151.3 | 193.6 |
| $\Delta T_d/\%$ |       | 26.6  |       | 22.6  |       | 28.0  |

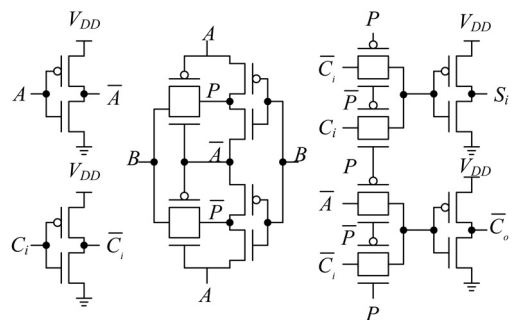
由测试结果可知, 3 种基本门电路: 2 输入与非门、2 输入或非门和 2 输入异或门, 采用沟长偏置后的漏电流分别下降了 39.0%、44.1% 和 43.5%; 同时由于沟道长度增大导致负载电容的增加使基本门电路延时分别增加了 26.0%、22.6% 和 28%.

#### 3.2 低漏功耗加法器

加法器是数字逻辑电路中重要的逻辑单元, 是数字系统数据通路的基本构成部件, 加法器的功耗及速度将极大地影响数字系统的性能. 图 7 是 2 种典型的加法器电路: 镜像加法器和传输门加法器, 这 2 种加法器都具有对称的结构和相同的晶体管数.



(a) 镜像加法器



(b) 传输门加法器

图 7 2 种加法器电路

用 HSPICE 对采用 PTM 45 nm 工艺参数的沟长偏置镜像加法器和传输门加法器的漏电流和延时性能进行了仿真测试. PTM 45 nm 工艺参数的标准沟长为  $L=2\lambda=50$  nm, 镜像加法器中晶体管的沟道宽度如图 7 所示. 传输门加法器所有反相器中 NMOS 和 PMOS 的宽度分别为  $4\lambda$  和  $8\lambda$ , 传输管中 NMOS 和 PMOS 的宽度分别为  $8\lambda$  和  $16\lambda$ ; 沟长偏置加法器中晶体管的沟长为  $L=2.16\lambda=54$  nm. 近阈值加法器的电源电压为 0.6 V, 加法器在不同输入信号作用下的漏电流结果如图 8 所示. 图 8 中 MFA\_UN 和 TFA\_UN 分别表示标准沟长镜像加法器和传输门加法器, MFA\_BIAS 和 TFA\_BIAS 分别表示沟长偏置镜像加法器和传输门加法器.

由仿真结果可以看到沟长偏置加法器的漏电流有明显的下降, 沟长偏置镜像加法器和传输门加法器的平均漏电流比标准沟长加法器分别下降了 40.5% 和 43.2%. 仿真结果表明沟长偏置镜像加法器和传输门加法器的延时比标准沟长加法器分别增加了 12.2% 和 15.5%.

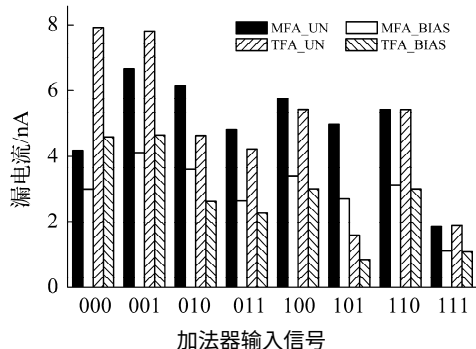


图8 镜像加法器和传输门加法器漏电流比较

#### 4 结论

纳米 MOS 器件的亚阈值漏电流和栅漏电流是 CMOS 集成电路漏功耗最主要的构成部分, 同时 MOS 器件的亚阈值漏电流和栅漏电流都随电源电压缩小而减小, 其中栅漏电流随电源电压减小更为迅速. 因此, 对于近阈值逻辑电路而言, 亚阈值电流是电路漏功耗的最主要来源. 由于纳米 MOS 器件亚阈值漏电流与沟道长度之间的非线性关系, 器件沟道长度的微小增大, 会引起亚阈值漏电流明显减小. 由此, 笔者给出了一种基于沟长偏置的近阈值逻辑漏功耗减小技术, 通过将 MOS 器件的

沟道长度适度提高(5%~10%), 可以获得可观的漏功耗节省. 用 HSPICE 对 45 nm 工艺的近阈值反相器振环、基本逻辑门电路、镜像加法器和传输门加法器电路进行仿真测试, 结果表明: 8% 的沟长偏置 ( $L=54$  nm) 可获得 39%~44% 的漏功耗节省. 对反相器和基本门电路其传输延时增加了 22.6%~28.0%, 而对于加法器电路其传输延时仅增加了 12.2%~15.5%. 此外, 沟长偏置技术不需要增加芯片制造的工艺步骤, 方法简单, 适用于集成电路设计的各个层次. 因此, 沟长偏置技术是一种非常有效的近阈值逻辑漏功耗减小技术.

#### 参考文献:

- [1] Paul B C, Agarwal A, Roy K. Low-power design techniques for scaled technologies Integration[J]. The VLSI Journal, 2006, 39(2):64-89.
- [2] Gupta K, Raychowdhury A, Roy K. Digital computation in subthreshold region for ultralow-power operation: A device-circuit-architecture codesign perspective[J]. Proceedings of the IEEE, 2010, 98(2):160-190.
- [3] Borkar S. Getting gigascale chips: Challenges and opportunities in continuing moore's law[J]. ACM Queue, 2003, 1(7):28-33.
- [4] Wang A, Calhoun B H, Chandrakasan A P. Sub-threshold design for ultra low-power systems[M]. New York: Springer, 2006:12-102.
- [5] Bellaouar A, Elmasry M I. Low-power digital VLSI design circuits and systems[M]. Boston: Kluwer Academic Press, 1995.
- [6] Chang J, Pedram M. Energy minimization using multiple supply voltages[J]. IEEE Trans VLSI Syst, 1997, 5(4): 436-443.
- [7] Kim S, Papaefthymiou M C. Ture single-phase adiabatic circuitry[J]. Very Large Scale Integration (VLSI) Systems, 2001, 9(1):52-63.
- [8] Hu Jiangping, Xu Tiefeng, Li Hong. A Lower-power register file based on complementary pass-transistor adiabatic logic[J]. IEICE Trans on Information and Systems, 2005, 88(7):1479-1485.
- [9] Dreslinski R G, Wieckowski M, Blaauw D, et al. Near-threshold computing: Reclaiming Moore's law through energy efficient integrated circuits[J]. Proceedings of the IEEE, 2010, 98(2):253-266.
- [10] Markovic D, Wang C C, Alarcon L P, et al. Ultralow-power design in near-threshold region[J]. Proceedings of

- the IEEE, 2010, 98(2):237-252.
- [11] Wu Yangbo, Hu Jiangping. Low-voltage MOS current mode logic for low-power and high speed applications[J]. Information Technology Journal, 2011, 10(12):2470-2475.
- [12] Kim K K, Kim Y B, Choi M, et al. Leakage minimization technique for nanoscale CMOS VLSI[J]. IEEE Design and Test of Computers, 2007, 24(4):322-330.
- [13] Fallah F, Pedram M. Standby and active leakage current control and minimization in CMOS VLSI circuits[J]. IEICE Trans on Electronics, 2005, E88-C(4):509-519.
- [14] Gupta P, Kahng A B, Sharma P, et al. Gate-length biasing for runtime-leakage control[J]. IEEE Trans on Computer-Aided-Design of Intergrated Circuits and Systems, 2006, 25(8):1475-1485.
- [15] Kim J, Oh C, Shin Y. Minimizing leakage power of sequential circuits through mixed-Vt flip-flops and multi-Vt combinational gates[J]. ACM Transactions on Design Automation of Electronic Systems, 2009, 15(1): 14-22.
- [16] Narendra S G, Chandrakasan A. Leakage in nanometer CMOS technologies[M]. New York: Springer, 2006.
- [17] Xi X, Dunga M, He J, et al. BSIM4.6.4 MOSFET model user's manual[EB/OL]. [2009-12-12]. <http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>.

## Gate-length Biasing for Near-threshold Logic Leakage Reduction

FAN Xiao-hui, WU Yang-bo\*, NI Hai-yan

( Faculty of Information Science and Technology, Ningbo University, Ningbo 315211, China )

**Abstract:** With processing chips scaling down, leakage power reduction has become one of the most important design concerns. In this paper, we propose small biases of transistor gate-length to further minimize leakage power based on the fact that the sub-threshold leakage current is the main component of the total leakage in near-threshold logic circuits. Due to the super-linearity between sub-threshold current and gate length, the leakage current reduction can be considerably achieved by slightly increasing the gate-length. Three basic logic gates, a mirror adder and a transmit adder with 8% gate-length biasing are realized and simulated using HSPICE at a 45nm CMOS process with the PTM model. Simulation results show that the leakage current of those circuits is reduced 39%-44% compared with the nominal gate-length ones. Therefore, the gate-length biasing technique is an attractive approach for low leakage near-threshold circuits.

**Key words:** sub-threshold leakage; gate-length biasing; near-threshold logic; leakage power reduction

(责任编辑 史小丽)