

DOI: 10.20098/j.cnki.1001-5132.2024.0909

基于 FeFET 的完全非易失全加器设计

王凯玥, 查晓婧, 王伦耀, 夏银水*

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 铁电场效应晶体管(Ferroelectric Field-Effect Transistor, FeFET)的滞回特性使其既可充当开关又可充当非易失性存储元件, 常被应用于存内逻辑电路设计. 然而现有基于 FeFET 的存内逻辑电路设计存在计算时需要访问部分操作数, 输出需要额外的锁存器存储的问题. 为此, 利用 FeFET 构建了具有存储所有输入与输出, 计算时无须访问操作数的完全非易失全加器, 所设计的全加器还可以提供双轨输出信号. 使用 FeFET 模型验证了设计功能的正确性, 且与其他非易失性器件设计的全加器相比, 该设计使用的器件少、延时短.

关键词: 铁电场效应晶体管; 存内逻辑; 非易失性; 全加器

中图分类号: TN431.2

文献标志码: A

文章编号: 1001-5132 (2025) 02-0071-07

进入大数据时代, 伴随着物联网、机器学习、人工神经网络、生物计算等数据密集型应用不断扩大, 现有基于冯·诺伊曼架构的计算系统性能不能满足大数据、人工智能计算要求的一个主要原因是处理单元和存储单元之间的物理分离, 两个单元之间的数据传输产生了巨大的功耗和时间成本^[1-3], 即“存储墙”与“功耗墙”问题. 为克服经典计算范式的瓶颈, 存内逻辑(Logic in Memory, LiM)被认为是一条有前途的解决途径. 忆阻器(Resistive Random Access Memory, ReRAM)、相变存储器(Phase-Change Memory, PCM)以及铁电器件等新兴非易失性存储器件(Nonvolatile Memory, NVM)为实现 LiM 提供了可能, 这要求对这些 LiM 器件的架构和算法进行重新设计与研究.

无论是进行简单的算术运算还是复杂的数据处理任务, 加法运算是最基本的运算. 加法器(Full Adders, FA)是乘法累加器(Multiply Accumulator, MAC)和算术逻辑单元(Arithmetic Logic Unit, ALU)的重要组成部分之一, 处理器的性能和速度很大程度上取决于加法器的效率和可靠性. 目前已经提出了几种基于新型非易失存储器件的一位全加

器^[4-6]. 然而, 这些 FA 只使用非易失性器件存储三分之一的操作数, 不能存储全部操作数与输出量, 计算时还需要频繁访问操作数, 且计算后的结果需要额外的锁存器存储, 断电时数据不能被及时保存. 当并发处理多个操作时, 由于部分数据需要提前写入, 写入操作时序不当可能导致参与运算的数据并不是实际最新数据, 从而影响计算结果的准确性, 降低计算效率.

本研究提出了一种基于铁电场效应晶体管(Ferroelectric Field-Effect Transistor, FeFET)的完全非易失性全加器. 通过串联3组 FeFET 实现逻辑运算, 借助 FeFET 的存储能力实现完全非易失功能, 避免了计算时需要频繁访问操作数、只能存储部分输入量未存储输出量、数据更新延误等问题, 而且该完全非易失全加器能够同时输出求和、进位的双轨信号.

1 铁电场效应晶体管及其特性

1.1 铁电场效应晶体管及模型

FeFET 本质上是一个铁电层集成到栅极中的金属氧化物半导体场效应晶体管(Metal-Oxide-

收稿日期: 2024-09-14.

宁波大学学报(理工版)网址: <http://journal.lg.nbu.edu.cn/>

基金项目: 国家自然科学基金(62304115, U23A20351); 浙江省自然科学基金创新群体项目(LDT23F04021F04).

第一作者: 王凯玥, 硕士研究生, 主要研究方向: 存算一体电路设计. E-mail: 2211100025@nbu.edu.cn

*通信作者: 夏银水, 教授, 主要研究方向: 低功耗集成电路设计及电子设计自动化. E-mail: xiayinshui@nbu.edu.cn

Semiconductor Field-Effect Transistor, MOSFET)^[7-10]. 图 1(a)显示了 FeFET 的结构. 作为一种 NVM 器件, FeFET 利用栅极上铁电材料的两种相反的极化状态来存储信息, 极化状态可通过栅极施加一定幅度和持续时间的电压脉冲改变. 与其他 NVM 器件, 如 ReRAM、PCM 和基于自旋转移矩的磁性随机存储器(Spin Transfer Torque-Based Magneto Resistive RAM, STT-MRAM)相比, FeFET 表现出两大特有的优势: (1)与双端器件相比拥有独立的读写路径; (2)既可以作为存储单元也可以作为运算单元使用, 更容易实现存储和大规模集成逻辑.

由于铁电层堆叠在 MOSFET 的栅极, 因此可以将 FeFET 等效为一个铁电电容 C_{FE} 与 MOSFET 串联结构, 等效模型如图 1(b)所示, 进而提出了用数学语言描述铁电滞回特性的 Preisach 模型^[11].

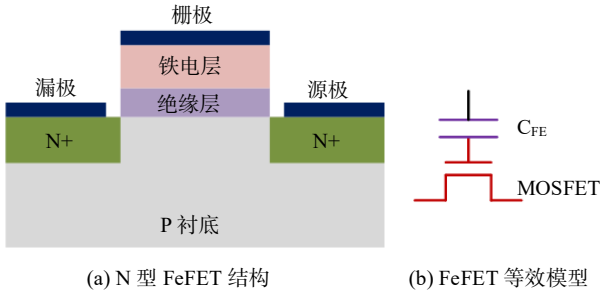


图 1 FeFET 结构及等效模型示意图

该等效模型的基本原理是电荷守恒定律与电压分压关系, 计算公式为:

$$Q_{FE}(V_{FE}) = Q_{MOS}(V_{MOS}), \quad (1)$$

$$V_G = V_{FE} + V_{MOS}, \quad (2)$$

式中: Q_{FE} 为铁电电荷; V_{FE} 为铁电电压; Q_{MOS} 为 MOSFET 的电荷; V_{MOS} 为 MOSFET 的电压; V_G 为 FeFET 的栅极电压.

根据 Preisach 理论, 铁电体由多个电畴组成, 内部的极化电荷与电压关系都在一条确定的饱和曲线上或曲线内部, 饱和曲线内部的回路称为不饱和小回路. 同时, 根据铁电开关动力学, 铁电层的电压与输入电压之间存在延迟.

1.2 基于 FeFET 的算术电路

随着非易失性器件的不断发展和更新, 基于不同存储介质材料可以设计出不同的 LiM 电路. FLASH 器件作为传统的非易失性器件, 利用浮栅上有无电子来存储信息^[12-13]. 作为新一代非易失

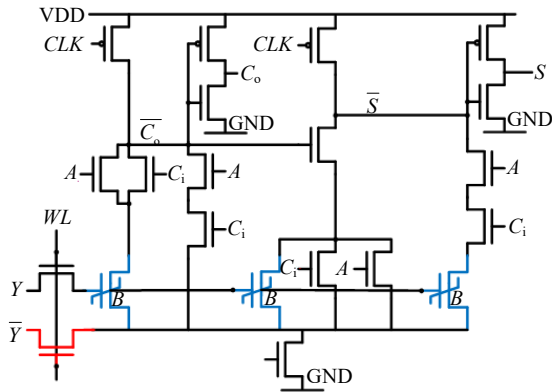
存储器, 忆阻器可以通过改变器件的阻值存储信息实现蕴含逻辑. 与其他非易失器件相比, 忆阻器用于计算时需要多步计算^[4]. 磁隧道结(Magnetic Tunnel Junctions, MTJs)通过改变电子自旋方向和磁化方向也可以改变阻值, 实现存储操作^[5,13].

目前针对 FeFET 的研究主要分为两类: 一类是利用铁电材料的负电容耦合效应设计低功耗电路; 另一类是基于 FeFET 的非易失性存储功能, 设计存储单元、基本逻辑门、查找表、多路复用器等电路单元. 基于 FeFET 的 LiM 电路具有读取快、写入易、存储与计算操作步骤少等特点. 相比于其他 NVM 器件, 基于 FeFET 电路使用的器件数量更少, 并且 FeFET 搭建的 LiM 电路中逻辑单元与存储单元都基于相同的底层晶体管结构, 设计电路更高效^[14]. 文献[14]提出了基于 FeFET 的 LiM 的 FA, 如图 2(a)所示, 利用 FeFET 的开关特性和迟滞特性实现了存储一位输入变量的逻辑网络, 进一步实现了全加器功能.

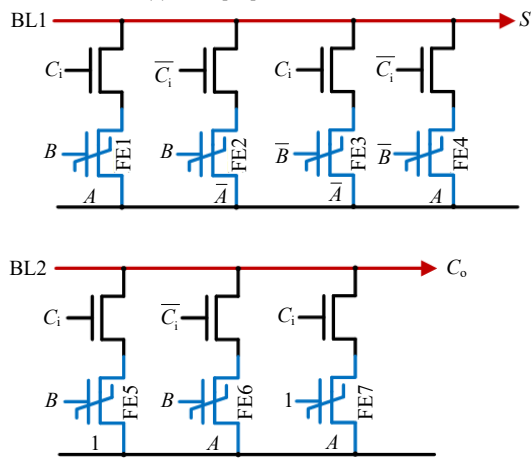
文献[15]提出了一种基于 FeFET 的多路复用器单元设计的 FA, 如图 2(b)所示. 该多路复用器单元集成查找表功能, 其内部存储数据与应用的选择信号执行逻辑与运算, 可以通过设置 FeFET 的极化状态来确定查找表的逻辑输出函数.

在上述电路设计中, 文献[14]提出的 LiM 逻辑电路设计只能存储单个输入量, 不能充分利用 FeFET 存算一体特性, 整体电路的完全非易失性未能实现, 输入量只有部分存储, 输出量需要额外的锁存器存储, 计算时还需要频繁访问操作数, 且部分数据需要提前写入, 读取操作与写入操作如有时序不当, 可能导致读取的数据并不是实际最新数据, 时序上的不匹配将对计算结果的准确性产生负面影响. 此外, 在这种部分非易失的计算架构中, 数据在断电或系统重启时可能会丢失.

文献[15]提出的 LiM 多路复用器集成了查找表功能, 在此基础上可以构成任意 LiM 逻辑电路, 但是输入为电压值, 输出为电流值, 多个单元级联组成 FA 时位线(Bit Line, BL)上存在多个小电流(表示逻辑 0), 相加时可能得到一个大电流(表示逻辑 1), 从而导致错误输出. 因此, 需要对电路设计进行优化, 以提高基于 FeFET 的 LiM 电路在实际应用中的各项性能.



(a) 文献[14]提出的 FA 设计



(b) 文献[15]提出的 FA 设计

图2 现有的基于 FeFET 的 FA 设计

2 基于 FeFET 的完全非易失性全加器设计

由于现有的非易失器件的逻辑电路与全加器电路设计中只存储一个输入变量, 这种设计只有部分输入处于非易失状态, 并不是完全非易失. 为

了实现全加器功能的同时避免计算时需要频繁访问操作数、只存储部分输入量未存储输出量、数据更新延迟等问题, 提出了一种基于动态电流模式逻辑(Dynamic Current Mode Logic, DyCML)^[14]设计的完全非易失性全加器. 本文在 DyCML 通用结构的基础上引入了完全由 FeFET 构成的逻辑网络, 旨在实现所有的输入变量都可以被存储的全加器逻辑功能, 并能同时产生相应的互补输出.

一位全加器的逻辑函数为:

$$T_{\text{SUM}} = A \oplus B \oplus C_i = ABC_i + \overline{A}BC_i + A\overline{B}C_i + A\overline{B}\overline{C}_i, \quad (3)$$

$$C_o = AB + AC_i + BC_i, \quad (4)$$

式中: A 、 B 、 C_i 是输入数据; T_{SUM} 和 C_o 是求和与进位输出.

所提出的基于 FeFET 的 DyCML LiM 电路结构如图 3 所示.

在图 3 中, 主体是 FeFET 组成的逻辑网络(灰色区域), 逻辑网络的左半部分实现全加器的求和功能, 共有 8 条相互并联到地(GND)的支路, 每条支路都由 3 组 FeFET 串联组成, 可以实现 A 、 B 、 C_i 三者及其反信号的“与”, 实现式(3); 逻辑网络右半部分实现进位输出功能, FeFET 同样串联相“与”后并联, 实现式(4); 电路顶端的电源电压(VDD)和 P 型 MOSFET(PMOS)构成预充电模块, 并与底部的 N 型 MOSFET(NMOS)共同组成基本的 DyCML 电路结构, 用以减小静态功耗. 在预充电阶段, 输入量 A 、 B 、 C_i 及其反信号 $\overline{A}$ 、 $\overline{B}$ 、 $\overline{C}_i$ 被写入 FeFET. 在赋值阶段, 逻辑网络中的 FeFET 串

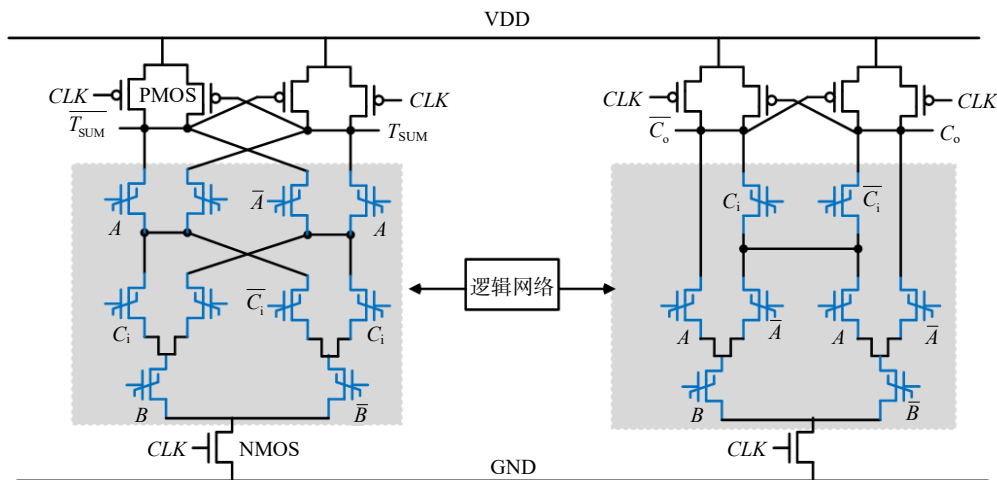


图3 基于 FeFET 的 DyCML LiM 电路结构

并联实现逻辑运算, 输出 T_{SUM} 和 C_0 。

与传统的 CMOS 全加器电路不同, 基于 FeFET 的 DyCML LiM 全加器在下拉网络中使用 FeFET 作为开关和存储器, 对 FeFET 进行数据写入, 不仅能够改变存储状态, 还能灵活控制逻辑功能。这种设计不仅提供了非易失特性, 还可以在全加器电路中实现逻辑运算和存储功能的紧密结合。由于这种 DyCML 设计采用互补输出, 输出信号和其反信号同时可用, 因此节省了一个额外的反相器来产生互补信号。当用反相器来产生反信号时, 产生的反信号往往延迟于原来信号, 在组合电路中可能会引起竞争现象, 使电路出现逻辑错误。所以这一方法有效避免了由于增加反相器引起的时差问题, 应用于 LiM 电路中可以减少器件使用数量, 并提升时序可靠性。在这种架构下, 利用 FeFET 的操作机制和性能优势可以实现数据的非易失存储, 计算时不需要频繁搬运数据, 在断电状态下数据也能够得到保存, 为新一代非易失性存储器与逻辑计算器件的发展开拓了新思路。

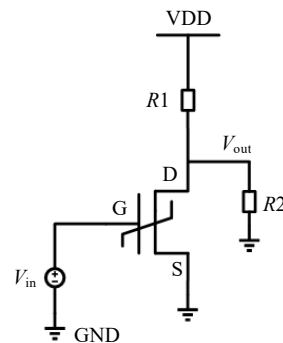
3 仿真分析

3.1 FeFET 模型及其仿真结果

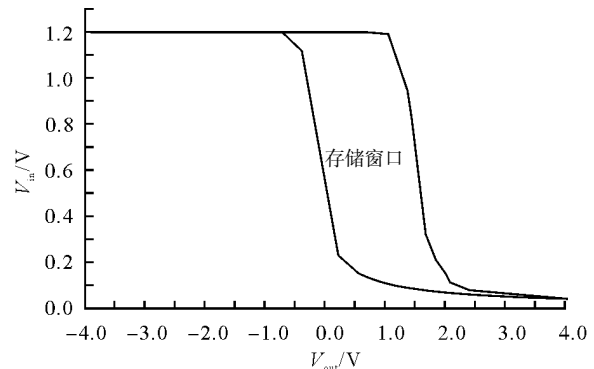
通过铁电电容公式(式(1)和式(2))可以建立铁电电容模型, 结合 MVS_5t_Verilog-A 的 MOSFET 模型^[16]联合求解, 即可求出 Q_{FE} 和 V_{FE} 。首先根据输入的栅源电压 V_{GS} 数值, 在 MOSFET 模型中计算出 Q_{MOS} , 进一步在铁电电容模型中预测一个 V_{FE} , 以此获取 Q_{FE} 数值, 结合式(1)判断电荷值大小是否满足约束条件。若满足条件, 则根据电荷量求解 V_{MOS} , 更新电压值后完成运算; 若不满足条件, 则重新预测 V_{FE} , 得到新的 Q_{FE} , 直到运算结果收敛为止。使用 Cadence Virtuoso 软件对模型进行仿真, FeFET 沟道宽度与长度均为 $1\text{ }\mu\text{m}$ 。模型仿真测试电路如图 4(a)所示, 图中 D、G、S 分别表示 FeFET 的漏极、栅极、源极, $R1$ 与 $R2$ 表示电阻, V_{in} 是输入电压。仿真得到的输入与输出电压滞回曲线如图 4(b)所示。

在图 4(b)中, 将 FeFET 漏极接入的上拉电源电压设置为 1.2 V 。当栅极输入电压 V_{in} 从 -4 V 增大到 2.5 V 时, 器件处于高阻态, 器件关断, 输出电压 $V_{\text{out}}=1.2\text{ V}$ 。随着输入电压进一步升高到 2.5 V 左右,

器件转变为低阻态, 器件导通, $V_{\text{out}}=0\text{ V}$; 当 V_{in} 从 4 V 减小到 1 V 时, 器件处于低阻态, $V_{\text{out}}=0\text{ V}$; 随着电压进一步减小到 -1 V , 器件转变为高阻态, 器件关断, $V_{\text{out}}=1.2\text{ V}$ 。根据图 4(b)仿真结果, 利用 FeFET 的存储窗口(V_{in} 介于 $-1.0\sim 2.5\text{ V}$ 之间)可实现数据存储。



(a) 模型仿真测试电路



(b) 仿真得到的输入与输出电压滞回曲线

图 4 FeFET 模型仿真电路与仿真得到的滞回曲线

3.2 FeFET 全加器仿真结果与分析

用中芯国际公司开发的 $0.18\text{ }\mu\text{m}$ 互补金属氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 器件和基于 Verilog-A 的 FeFET 模型, 在 Cadence Virtuoso 软件中进行仿真模拟, FeFET 漏极接入的电源电压 VDD 设置为 2 V , FeFET 的编程电压 (写 “1”, 对应器件低阻态) 设置为 2 V , 擦除电压 (写 “0”, 对应器件高阻态) 设置为 -2 V 。全加器瞬态仿真结果如图 5 所示。

图 5 中 CLK 为时钟信号, A 、 B 、 C_i 分别是输入变量加数、被加数、进位输入, 输入变量依次从 $(0, 0, 0)$ 变化至 $(1, 1, 1)$ 。 T_{SUM} 与 $\overline{T_{\text{SUM}}}$ 分别是求和输出信号与求和输出的反信号。 C_0 与 $\overline{C_0}$ 分别是进位输出信号与进位输出的反信号。当时钟信号 CLK

为低电平时, 电路顶部的 PMOS 打开, 进行预充电, 电路底部的 NMOS 关闭. 同时对 FeFET 进行编程/擦除(对应写“1”/写“0”)操作, 使得器件打开/关闭, 此时输出信号 T_{SUM} 和 C_o 均为高电平. 当 CLK 为高电平时, 电路顶部的 PMOS 关断, 电路底部的 NMOS 打开, 进行赋值操作, 如果逻辑网络中存在一条器件全部导通的支路, 则对地放电, 输出电压被下拉到“0”, 对应的输出量 T_{SUM} 或 C_o 为低电平.

由于本设计是完全非易失, 因此在预充电阶

段, 如果输入 FeFET 的电压等于器件状态保持区间内的某个电压值, 该电压不足以使铁电层极化状态发生翻转, 因此器件保持上一阶段打开/关闭的状态, 在 CLK 变为高电平时仍然有输出存在, 此时的输出与上一阶段写入后的输出一致. 以输入 A 、 B 、 C_i 为(0, 0, 1)为例, 验证全加器设计的完全非易失性能, 如图 6 所示. 当 CLK 为低电平时, 进入预充电阶段, FeFET 写入(0, 0, 1), 并在 CLK 为高电平的赋值阶段得到输出 T_{SUM} 为高电平, C_o 为低电平. 继而设置 FeFET 的电压为保持区间内的电压

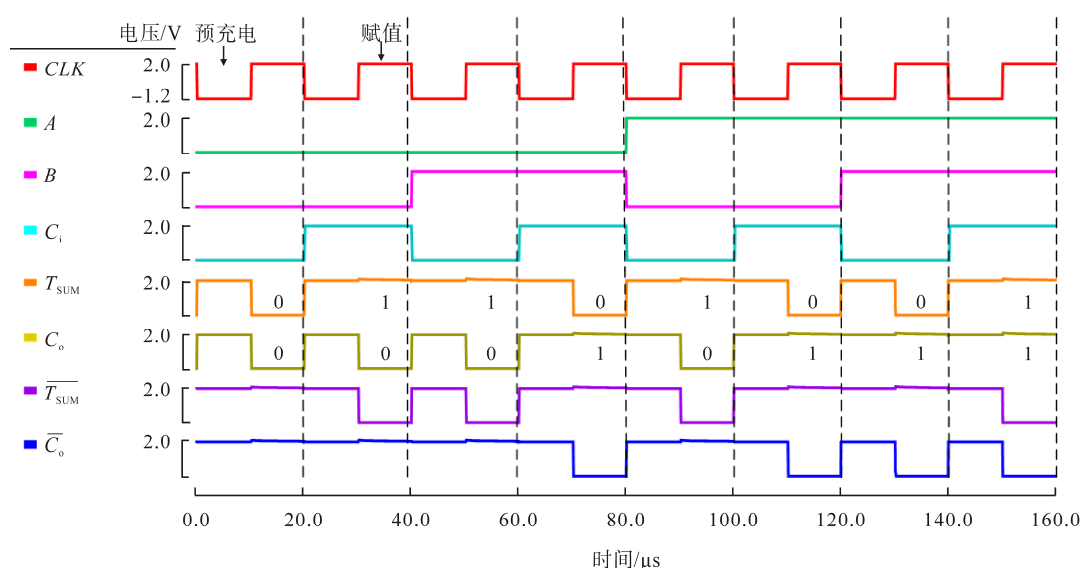


图5 全加器仿真波形

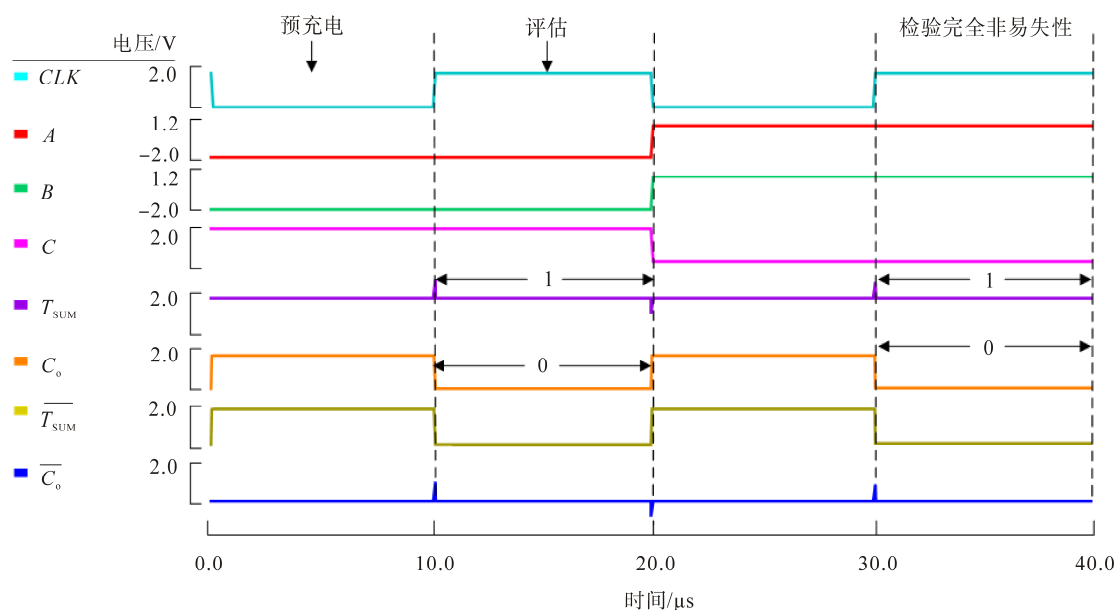


图6 以“001”为例验证 FA 非易失性

(1.2 V), 此时参与运算的是存储的数值(0, 0, 1), 在赋值阶段得到输出 T_{SUM} 仍为高电平, C_0 仍为低电平, 由此可以得出本设计能存储输入与输出量, 是完全非易失的全加器。

将所设计的完全非易失全加器仿真结果与文献[5, 6, 17, 18]中提出的结果进行比较, 通过分析延时, 证明本文所设计的完全非易失性全加器计算速度具有优势。此外, 通过分析器件数量, 推测在相同工艺尺寸下, 本设计的全加器具有一定的面积优势。与其他设计的比较结果见表 1。

表 1 FA 比较结果

设计	延时/ns	完全非易失	器件数
CMOS FA ^[17] (180 nm)	88.10	否	46MOS
MTJ FA ^[18] (28 nm)	3.02	否	33MOS+4MTJs
MTJ FA ^[5] (28 nm)	8.44	是	46MOS+10MTJs
FeFET FA ^[6] (180 nm)	13.42	否	28MOS+4FeFETs
本设计 FA (180 nm)	8.14	是	10MOS+16FeFETs

由表 1 可知, 与传统 CMOS FA^[17]相比, 本文设计的 FA 延时缩短约 90%, 器件数减少约 43%。与采用相同器件、相同电路设计风格的 FeFET FA^[6]相比, 延时缩短约 39%, 器件数减少约 18%。与 MTJ FA^[5, 18]相比, 虽然其工艺(28 nm)更加先进, 但 FA 延时处在同一数量级, 使用的器件数更少。由于本设计是完全非易失, 因此该全加器具有存储功能, 断电再重新接电后电路状态不会发生改变。

4 结语

本文提出了一种基于 FeFET 的完全非易失加法器的设计。该设计的输入和输出数据存储在 FeFET 单元中, 断电后数据能够保持, 不需要重新启动即可快速响应。此外, 由于可以同时输出信号和补信号, 可以有效避免高速设计中引入反相器导致的时序问题。采用 0.18 μm CMOS 器件和 FeFET 的 Verilog-A 紧凑模型进行仿真, 验证了全加器功能, 与现有的全加器设计相比, 本设计的完全非易失加法延时更短, 并且使用的器件更少, 具

有完全非易失功能, 无需数据搬移即可进行运算, 输出量无需额外的锁存器存储。

参考文献:

- [1] MANIPATRUNI S, NIKONOV D E, YOUNG I A. Beyond CMOS computing with spin and polarization[J]. Nature Physics, 2018, 14:338-343.
- [2] IELMINI D, WONG H P. In-memory computing with resistive switching devices[J]. Nature Electronics, 2018, 1:333-343.
- [3] HOROWITZ M. 1.1 computing's energy problem (and what we can do about it)[C]//2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). San Francisco, USA, 2014:10-14.
- [4] KAUSHIK N, BODAPATI S. IMPLY-based high-speed conditional carry and carry select adders for in-memory computing[J]. IEEE Transactions on Nanotechnology, 2023, 22:280-290.
- [5] JIN X, CHEN W C, LI X M, et al. High-reliability, reconfigurable, and fully non-volatile full-adder based on SOT-MTJ for image processing applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(2):781-785.
- [6] YIN X Z, AZIZ A, NAHAS J, et al. Exploiting ferroelectric FETs for low-power non-volatile logic-in-memory circuits[C]//Proceedings of the 35th International Conference on Computer-Aided Design. Austin, USA, 2016:1-8.
- [7] DÜNKEL S, TRENTZSCH M, RICHTER R, et al. A FeFET based super-low-power ultra-fast embedded NVM technology for 22 nm FDSOI and beyond[C]//2017 IEEE International Electron Devices Meeting (IEDM). San Francisco, USA, 2017:485-488.
- [8] CHATTERJEE K, KIM S, KARBASIAN G, et al. Self-aligned, gate last, FDSOI, ferroelectric gate memory device with 5.5-nm $\text{Hf}_{0.8}\text{Zr}_{0.2}\text{O}_2$, high endurance and breakdown recovery[J]. IEEE Electron Device Letters, 2017, 38(10):1379-1382.
- [9] SLESAZECK S, SCHROEDER U, MIKOLAJICK T. Embedding hafnium oxide based FeFETs in the memory landscape[C]//2018 International Conference on IC Design & Technology (ICICDT). Otranto, Italy, 2018: 121-124.
- [10] TRENTZSCH M, FLACHOWSKY S, RICHTER R, et al. A 28 nm HKMG super low power embedded NVM technology based on ferroelectric FETs[C]//2016 IEEE

- International Electron Devices Meeting (IEDM). San Francisco, USA, 2016:294-297.
- [11] MAYERGOYZ I D, FRIEDMAN G. Generalized Preisach model of hysteresis[J]. IEEE Transactions on Magnetics, 1988, 24(1):212-217.
- [12] HARIYAMA M, KAMEYAMA M. A multi-context FPGA using a floating-gate-MOS functional pass-gate and its CAD environment[C]//2006 IEEE Asia Pacific Conference on Circuits and Systems. Singapore, 2006: 1803-1806.
- [13] 李嘉宁, 姚鹏, 揭路, 等. 存算一体技术研究现状[J]. 电子学报, 2024, 52(4):1103-1117.
- [14] YIN X Z, CHEN X M, NIEMIER M, et al. Ferroelectric FETs-based nonvolatile logic-in-memory circuits[J]. IEEE Transactions on Very Large Scale Integration Systems, 2019, 27(1):159-172.
- [15] BREYER E T, MULAOSMANOVIC H, TROMMER J, et al. Compact FeFET circuit building blocks for fast and efficient nonvolatile logic-in-memory[J]. IEEE Journal of the Electron Devices Society, 2020, 8:748-756.
- [16] WAHAB M A, SHIN S, ALAM M A. 3D modeling of spatio-temporal heat-transport in III-V gate-all-around transistors allows accurate estimation and optimization of nanowire temperature[J]. IEEE Transactions on Electron Devices, 2015, 62(11):3595-3604.
- [17] TRINH H P, ZHAO W S, KLEIN J O, et al. Magnetic adder based on racetrack memory[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(6): 1469-1477.
- [18] CAI H, WANG Y, DE BARROS NAVINER L A, et al. Robust ultra-low power non-volatile logic-in-memory circuits in FD-SOI technology[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(4):847-857.

Fully non-volatile full adder design based on FeFETs

WANG Kaiyue, ZHA Xiaoqing, WANG Lunyao, XIA Yinshui

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstracts: The hysteresis characteristics of Ferroelectric Field-Effect Transistor (FeFET) enable it to function both as switch and non-volatile memory element, making it suitable for memory logic circuit designs. However, existing FeFET-based memory logic circuits still face the challenges such as the need to access certain operands during computation and the requirement for additional latches to store output values. In this paper, a fully non-volatile full adder is designed using FeFET, which can store all input and output values and perform computations without the need to access operands. The proposed full adder also provides dual-track output signals. The functionality of the design is validated using an FeFET model, demonstrating that it needs fewer devices and exhibits lower latency than otherwise designed with other non-volatile devices.

Key words: ferroelectric field effect transistor; logic in memory; nonvolatile; full adder

(责任编辑 史小丽)