

基于 CNFET 的低功耗三值门电路设计

唐伟童, 汪鹏君*, 郑雪松

(宁波大学 电路与系统研究所, 浙江 宁波 315211)

摘要: 通过对碳纳米场效应晶体管(Carbon Nanotube Field Effect Transistor, CNFET)的研究, 提出一种基于 CNFET 的低功耗三值门电路设计方案. 该方案在分析 CNFET 结构及其不同尺寸的碳纳米管对应于不同阈值电压特性的基础上, 以多值逻辑理论为指导, 设计基于 CNFET 的三值反相器、与非门、或非门等单元门电路, 最后利用 HSPICE 对所设计的电路进行仿真. 结果表明: 所设计电路具有正确的逻辑功能, 与传统三值门电路相比, 三值 CNFET 门电路平均传输速度提高 52.7%, 平均能耗节省 54.9%.

关键词: 低功耗; 碳纳米场效应晶体管; 多值逻辑; 门电路

中图分类号: TP311.2

文献标志码: A

文章编号: 1001-5132 (2014) 03-0043-07

随着集成电路芯片上元件数目的急剧增加, 内部有源器件和外部硅芯片的连接变得十分复杂, 布线面积也不断变大, 而多值逻辑的出现为解决这些问题提供了一条新的途径^[1]. 多值逻辑能增加电路的单线传输信息容量, 提高数字电路信息密度, 进而减少集成电路芯片面积和引线数目. 并且过多的引脚数目对一些超大规模集成电路产生了严重影响, 而应用多值逻辑能大量减少外部引脚, 提高电路的空间和时间利用率. 根据 Richards 的计算方法, 信号的取值数为 3 是最好的选择^[2].

制约多值逻辑发展的主要因素是多值逻辑综合电路和多值逻辑标准单元不够成熟, 利用原有的场效应晶体管设计多值逻辑电路较为复杂, 但随着纳米材料的出现, 非有机硅的替代材料和混合材料的应用已经被提出^[3-4]. 碳纳米管(Carbon Nanotubes, CNTs)从 20 世纪 90 年代初被发现以来, 引起了广泛的关注. 碳纳米管与石墨有着类似的电子结构, C-C 原子间的共价键通过以 sp^2 杂化轨道形成, 具有耐热、防腐、导电等许多优良的性能. 由于碳原子和纳米碳管相结合, 纳米碳管的尺度、结构、拓扑学因素的不同使得碳纳米管与传统器件

相比极为独特, 具有广阔应用前景^[5]. 准一维结构的碳纳米管比二维和三维纳米管的自由电子更容易控制, 另外碳纳米管可以通过改变结构使其表现成金属特性或者半导体特性, 而金属特性的碳纳米管比现有金属的导电性能更好, 半导体特性的碳纳米管迁移率和跨导性能也十分出众^[6]. 以半导体特性的碳纳米管管制成的 CNFET 开关电流较高, 亚阈值特性较为理想, 低温下可实现弹道运输和便于大规模集成等优点. 且近年来 CNFET 被逐渐应用到数字电路领域.

笔者在 CNFET 物理结构的研究基础上, 通过分析其等效模型, 利用不同阈值电压的 CNFET 设计三值门电路和相应的文字运算电路, 并分析其功耗和传输特性.

1 CNFET 场效应晶体管

图 1 为利用碳纳米管制成的 CNFET 结构^[6-8], 它在衬底 Si 上加一层薄薄的 SiO_2 , 因此一系列碳纳米管被放置在 SiO_2 上, 在碳纳米隧道区域部分不掺杂, 其余区域高掺杂. 高掺杂的区域分别表示漏极和源极, N 型的 CNFET 和 P 型的 CNFET 类似,

收稿日期: 2013-09-18.

宁波大学学报(理工版)网址: <http://journalg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61234002); 浙江省自然科学基金(Z1111219).

第一作者: 唐伟童(1989-), 男, 四川平昌人, 在读硕士研究生, 主要研究方向: 逻辑电路. E-mail: twtw4747@163.com

*通信作者: 汪鹏君(1966-), 男, 浙江奉化人, 博导/教授, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: wangpengjun@nbu.edu.cn

只是碳纳米管掺杂的物质不同.

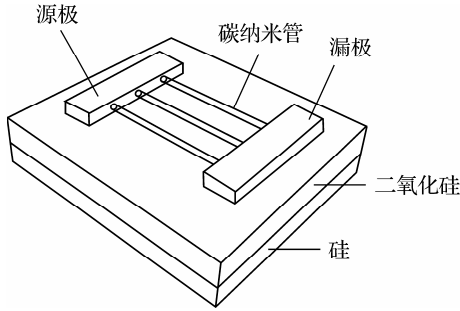


图1 碳纳米场效应晶体管的结构

图2给出了碳纳米管的等效电路模型^[6],它与普通的场效应晶体管一样,都有漏极、栅极、源极、基极四个端口.在CNFET,中介电膜被周围未掺杂的碳纳米管和金属栅周围的电介质包围.

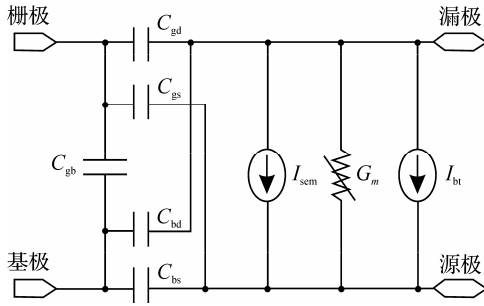


图2 碳纳米管的等效电路模型

在假设电子以近似弹道过程进行传输的情况下,等效电路中需要用到 $I_{sem}(V_{ch,DS}, V_{ch,GS})$ 、 I_m 和 I_{bt} 3种电流源.而 $I_{sem}(V_{ch,DS}, V_{ch,GS})$ 为半导体自带电流,可表示为:

$$I_{sem}(V_{ch,DS}, V_{ch,GS}) \approx \frac{4e^2}{h} \cdot \sum_{k_m, m=1}^M T_m [V_{ch,DS} + \frac{KT}{e} \ln(\frac{1 + e^{(E_{m,0} - \Delta\Phi_B)/KT}}{1 + e^{(E_{m,0} - \Delta\Phi_B + eV_{ch,DS})/KT}})], \quad (1)$$

式中, $V_{ch,DS}$ 和 $V_{ch,GS}$ 分别表示通道内靠近源端部位的费米电势差; e 为单个电子的能量; $\Delta\Phi_B$ 为通道表面栅极与漏极之间偏置电压的变化; T_m 为传输概率; K 为波尔兹曼常量; T 为开尔文温度; $E_{m,0}$ 为第 m 子带的半带隙; k_m 表示在圆周方向上第 m 子带的载波数; M 为子带总数.

I_m 为金属特性碳纳米管下的电子电流和空穴电流之和,可表示为:

$$I_m = 2T_{metal} \sum_{k_l, l=1}^L [J_{e_0, l} + J_{h_0, l}], \quad (2)$$

式中, T_{metal} 为传输概率; $J_{e_0, l}$ 为电子电流; $J_{h_0, l}$ 为

空穴电流; k_l 为在电流流动方向上第 l 子状态的载波数; L 为子状态数.

I_{bt} 为控制源极的电流,主要用于评估 CNFET 的亚阈值电路特性和静态功耗,可表示为:

$$I_{bt} = \frac{4e}{h} kT \cdot \sum_{k_m, m=1}^M T_{bt} \ln(\frac{1 + e^{(eV_{ch,DS} - E_{m,0} - E_f)/KT}}{1 + e^{(E_{m,0} - E_f)/KT}}), \quad (3)$$

式中, h 为普朗克常数, $6.63 \times 10^{-34} \text{ J}\cdot\text{s}^{-1}$; T_{bt} 为带间隧穿的概率; E_f 为参杂在碳纳米管源漏区域的费米电势差.

为使碳纳米管的等效电路更加接近于真实模型,在等效模型中加入 5 个电容,也有采用 6 个电容的等效电路模型.

由文献[6]可知,碳纳米管将折叠式的石墨层放入碳缸中,使其具有独特的导电和机械性能,可以分为单壁碳纳米管和多壁碳纳米管.通过折叠的角度和尺寸,纳米管可以表现为金属或者半导体特性.并随着碳纳米管尺寸的增大,半导体特性的碳纳米管的禁带宽度逐渐减小.单壁碳纳米管两端由富勒烯半球封帽构成,可以认为是由理想的石墨单层卷轴构成的无缝中空纳米管;而多壁碳纳米管则由几种不同直径的单壁碳纳米管同轴套装形成,各层之间的间距大约为 0.34 nm.单壁碳纳米管(Single-Walled Carbon Nanotube, SWCNT)为单层结构,直径大约在 1~5 nm 之间,表现的性能与现在的 MOS 管类似.沿着管道原子排列的角度决定了 SWCNT 表现为导体和半导体特性.以手性矢量(n, m)作为参考,如果 $n = m$ 或者 $n - m = 3i$, SWCNT 表现为导体,其他时候 SWCNT 表现为半导体,其中 n, m, i 都为整数.碳纳米管石墨烯片的结构如图 3 所示.

图 3 中垂直于管轴线的手性向量 C 表示如下:

$$C = na_1 + ma_2. \quad (4)$$

碳纳米管的尺寸可以通过以下表达式计算:

$$D_{cnt} = \frac{a_0 \sqrt{3}}{\pi} \sqrt{n^2 + m^2 + nm}, \quad (5)$$

式中, $a_0 = 0.142 \text{ nm}$, 表示每个碳原子和它相邻碳原子间的距离.

CNFET 的阈值电压定义了它的开启电压,碳纳米管通道在半带隙内的阈值电压可以近似为一

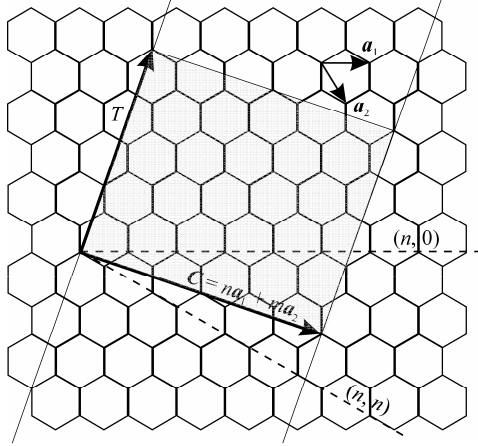


图3 碳纳米管石墨烯片的结构

阶, 而阈值电压与它的尺寸成反比例关系, 可以近似表示为:

$$V_{th} \approx \frac{\sqrt{3}}{3} \frac{aV_{\pi}}{eD_{cnt}}, \quad (6)$$

式中, $a=2.49 \text{ \AA}$ 表示碳-碳间的距离; $V_{\pi}=3.033 \text{ eV}$ 表示紧凑模型下碳 $\pi-\pi$ 的键能; e 表示单个电子能量. 从表达式可以看出, 阈值电压随着尺寸的增大而逐渐减小, 当手性矢量 (n,m) 取 $(19,0)$ 时, $D_{cnt}=1.487 \text{ nm}$, $V_{th}=0.293 \text{ V}$; 当 (n,m) 取 $(13,0)$ 时, $D_{cnt}=0.783 \text{ nm}$, $V_{th}=0.428 \text{ V}$. 因此利用 CNFET 设计的多值逻辑电路, 只需要调节碳纳米管尺寸的大小就可以获得所需要的阈值电压, 有利于设计不同阈值电压的多值逻辑电路.

2 三值门电路和文字运算电路

三值门电路和文字运算电路是三值逻辑电路的基本单元电路, 任何逻辑器件都可以由这些单元电路组成.

2.1 三值反相器改进及三值门电路设计

传统的多值逻辑门电路制造工艺较为复杂, 使用的 MOS 管较多, 并且产生的功耗较大. 而使用 CNFET 制成的门电路具有巨大优势, 其传输速度快, 功耗低, 产生的波形完整, 延时小. 图 4 为文献[8]提出的三值 CNFET 反相器. 该反相器在亚阈值区域, 通过增大 T3 和 T4 的基极电压达到导通目的, 当输入电压 $V_x > 0.62 \text{ V}$, T1 管导通, $\bar{x}$ 输出端为低电平(逻辑值“0”); 当输入电压 $V_x < 0.3 \text{ V}$ 时, T2 管导通, $\bar{x}$ 输出端为高电平(逻辑值为“2”); 当输入电压大于 $0.3 \text{ V} < V_x < 0.62 \text{ V}$ 时, T1 和 T2 都

不导通, T3 和 T4 导通, 由于 T3 和 T4 阈值电压较低, 处于亚阈值状态, 同时基极电压较大, 使得 T3 和 T4 的漏极电流逐渐增大, 呈现导通状态, $\bar{x}$ 输出端电压为 0.45 V (逻辑值为“1”).

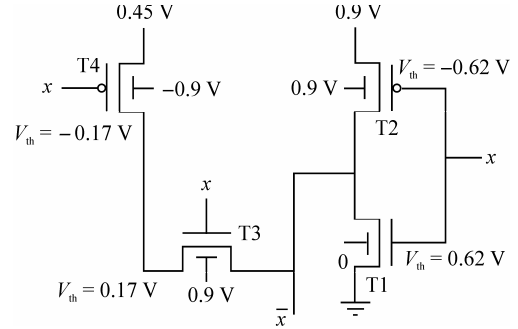


图4 三值 CNFET 反相器

通过对图 4 分析, 发现该电路存在驱动能力不足的问题, 特别是在输出逻辑值“1”时, T3 和 T4 处于微导通状态, 则该电路具有较大的输出延迟. 为克服此弱点, 在此电路基础上增加 2 个 CNFET, 使得在输入 0.45 V 电压时增大驱动电流, 减小传输延迟, 改善电路性能, 最终得到如图 5 所示的改进型三值 CNFET 反相器.

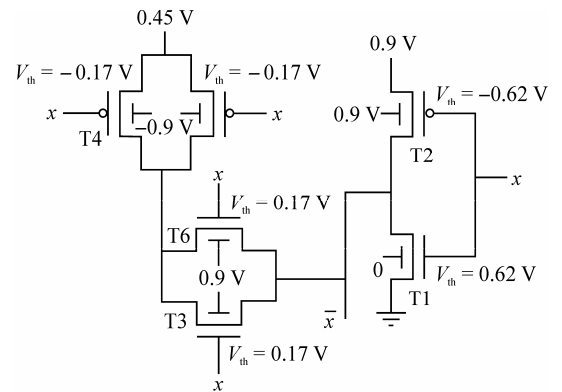


图5 改进型三值 CNFET 反相器

在图 4 所示反相器基础上增加 4 个 CNFET, 可得到相应的三值或非门和与非门电路(图 6). 图 6(a)中, 当输入 a 和 b 的电压中有 1 个大于 0.62 V 时, T1 和 T2 有 1 个导通或者全部导通, c_{nor} 端输出低电平(逻辑值“0”); 当输入 a 和 b 的电压同时小于 0.3 V 时, T3 和 T4 导通, c_{nor} 端输出为高电平(逻辑值为“2”); 当 a 和 b 的输入电压同时都在 $0.3 \sim 0.6 \text{ V}$ 之间时, T5、T6、T7、T8 同时导通, c_{nor} 端输出电压为 0.45 V (逻辑值为“1”). 图 6(b)与图 6(a)分析类似.

三值三态门既可以输出正常的逻辑电平“0”

“1”“2”,也可以输出高阻状态(“Z”).处于高阻状态的电路输出电阻很大,没有任何逻辑控制功能,电路相当于断开.三态门在集成电路中应用比较广泛,既可以作为一种控制开关,也可作为一种扩展逻辑功能的输出级,主要用于集成电路中数据总线的连接,比如应用于SRAM(Static Random Access Memory)的静态存储单元电路中.通常在数据总线上连接有多个器件,每个器件通过信号选

通开关进行选通.当器件没有选通的时候,它就处于高阻状态,相当于在总线上断开,并不影响总线上其他器件的正常工作.

图7给出了2种不同三态门电路结构图,其中反相器为二值反相器.为设计通过使能端来控制门电路通断的三态门,图7(a)增加了T1、T2、T6这3个CNFET, T1和T2控制逻辑输出“0”和“2”的产生, T6控制逻辑输出“1”的产生.当使能控制

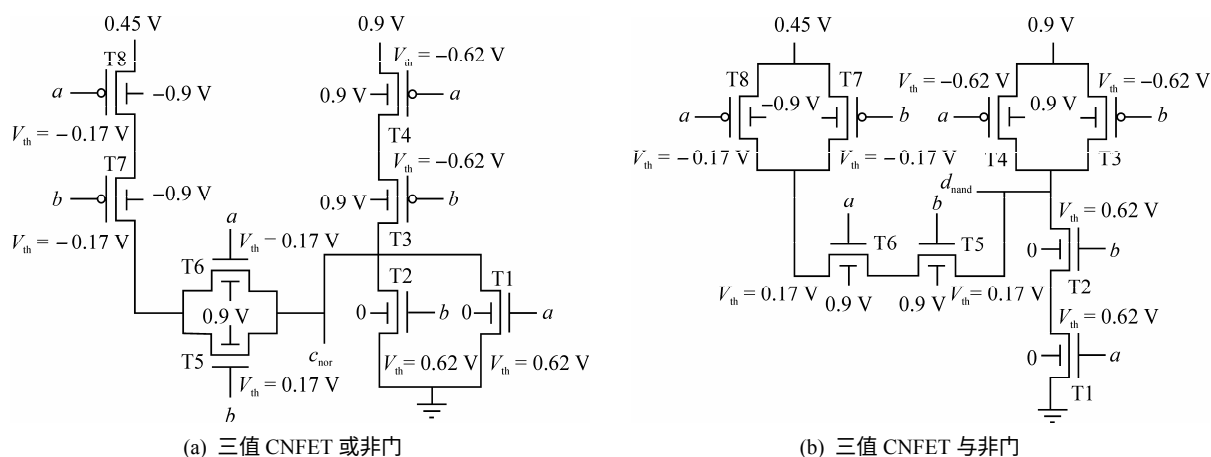


图6 三值CNFET门电路

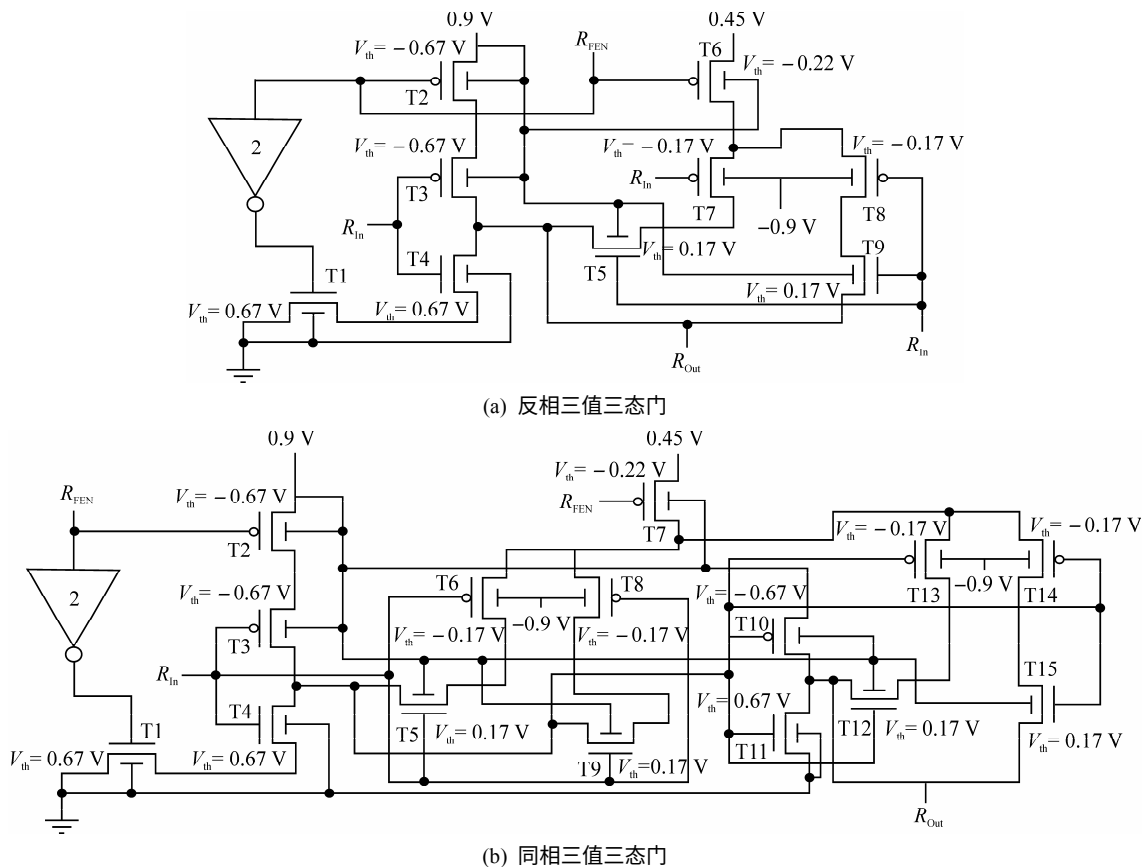


图7 三值CNFET三态门电路结构

端 $R_{FEN} = 0$ 时, T1、T2、T6 打开, T3、T4、T5、T7、T8、T9 连接的电路相当于 1 个反相器, 此时处于正常工作状态, 输出 R_{Out} 产生与输入 R_{In} 相反的逻辑值 $\bar{R}_{In}$. 当使能控制端 $R_{FEN} = 1$ 时, T1、T2、T6 关断, 此时电路处于不工作状态, 输出 R_{Out} 为高阻状态. 图 7(b)结构与图 7(a)类似, 当控制端 $R_{FEN} = 0$ 时, $R_{Out} = R_{In}$, 当控制端 $R_{FEN} = 1$ 时, 输出信号 R_{Out} 为高阻状态.

2.2 三值文字运算电路设计

在多值逻辑电路中, 开关信号理论得到了广泛的应用, 使得文字运算电路应用频繁, 因此利用 CNFET 设计文字运算电路显得非常重要. 图 8(a) 为文字“0”运算电路, 从该图中可以看到, 当输入电压 $V_x < 0.3$ V 时, T2 导通, 输出电平为高电平, 产生逻辑值“2”. 图 8(b)为文字“2”运算电路, 当输入电压 $V_x > 0.6$ V, T1、T4 导通, 输出为高电平, 产生逻辑值“2”; 其他情况, 输出为“0”. 由(5)式和(6)式可知, CNFET 的阈值电压可以通过参数(n , m)进行调节, 所以使用较少的晶体管就能达到理想的效果.

$$\bar{1}x^1 = {}^0x^0 + {}^2x^2, \quad (7)$$

从(7)式可知, 利用 1 个或非门就能得到文字“1”运算电路.

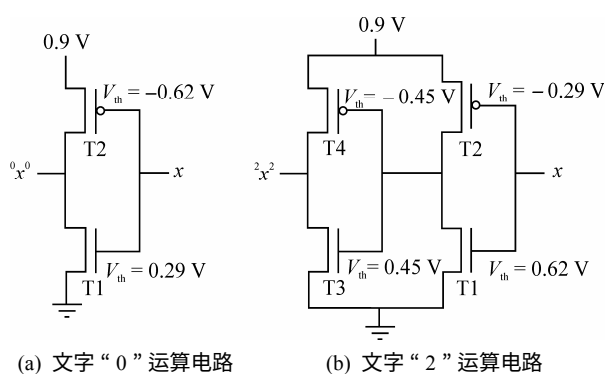


图 8 三值文字运算电路

与、或、非, 文字运算构成三值逻辑运算的完备集, 因此设计相应的三值门电路十分必要. 通过三值门电路的设计, 使一些复杂的三值逻辑器件实现更为容易.

3 实验结果与分析

利用 HSPICE 对设计的电路进行仿真, CNFET 等效模型采用 32 nm 工艺下的标准模型, 其主要参

数为: 物理隧道长度 $L_{ch} = 32$ nm, 碳纳米管固有隧道内自由路径长度 $L_{geff} = 100$ nm. 图 9 为 3 种不同反相器的直流特性曲线, 从图 9 可见, 改进型三值 CNFET 反相器在 0.4 V 和 0.6 V 左右能够实现较快速度的翻转, 是较为理想的三值反相器.

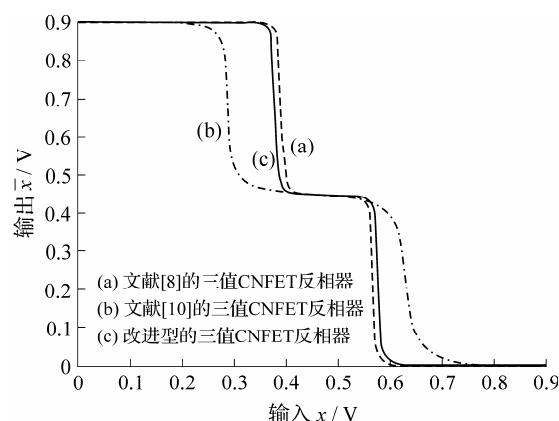


图 9 三值 CNFET 反相器的直流特性比较

图 10 为单元电路的模拟波形, 图 10(a)中 x 表示输入信号, $\bar{x}$ 表示 x 的反相输入信号, ${}^0x^0$ 和 ${}^2x^2$ 表示文字“0”和“2”运算电路的波形. 图 10(b)中的 a 和 b 表示输入的二值信号, c_{nor} 表示或非门输出, d_{nand} 表示与非门输出. 逻辑值“2”“1”“0”对应的电压分别为 0.9 V、0.45 V、0 V. 其模拟波形的逻辑值见表 1 和表 2.

表 1 图 10(a)的逻辑输出

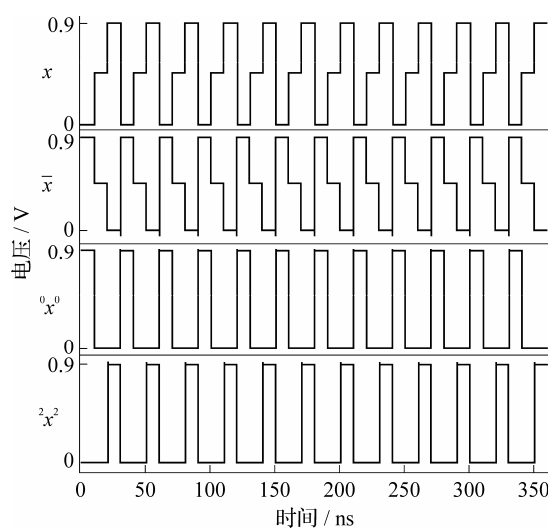
x	$\bar{x}$	${}^0x^0$	${}^2x^2$
0	2	2	0
1	1	0	0
2	0	0	2

表 2 图 10(b)的逻辑输出

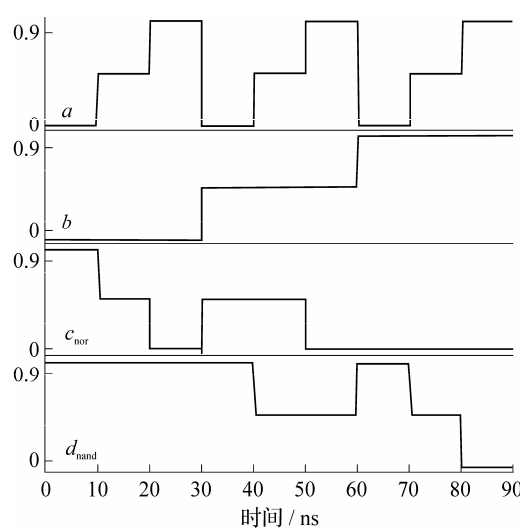
a, b	0,0	1,0	2,0	0,1	1,1	2,1	0,2	1,2	2,2
c_{nor}	2	1	0	1	1	0	0	0	0
d_{nand}	2	2	2	2	1	1	2	1	0

通过 HSPICE 的仿真验证, 得到的仿真结果与理论结果相符, 并从输出波形的情况看出, 所得的输出波形完整且能在较短的时间内实现逻辑值的跳变, 因此利用 CNFET 设计的门电路速度较快.

从表 3 中可以发现, 利用传统 MOS 管设计的三值门电路, 传输速度远小于用 CNFET 设计的三值门电路. 通过(8)式计算得到, 使用 CNFET 设计的三值门电路平均比使用 MOS 管的多值门电路快



(a) 三值 CNFET 反相器和文字运算电路的模拟波形



(b) 三值 CNFET 与非门和或非门的模拟波形

图 10 模拟波形

52.7%。因此使用 CNFET 的三值门电路设计具有较小的延迟时间,能够满足现代集成电路对高速电路的要求。

$$\alpha = \frac{t_{p,MOS} - t_{p,CNFET}}{t_{p,MOS}} \times 100\%, \quad (8)$$

式中, $t_{p,MOS}$ 表示使用 MOS 管设计的三值门电路平均延时; $t_{p,CNFET}$ 表示使用 CNFET 设计的三值门电路平均延时; α 表示节省时间的效率比。

表 3 利用 CNFET 和 MOS 设计的门电路延时对比

门电路		延时/ps		
		$t_{p,HL}$	$t_{p,LH}$	$(t_{p,HL} + t_{p,LH})/2$
非门	CNFET	94.7	15.4	55.1
	MOS	128	55.2	91.6
文字“0”	CNFET	19.9	29.1	24.5
	MOS	74.2	51.4	62.8
文字“2”	CNFET	26.3	28.6	27.5
	MOS	62.2	66.2	64.2

为测量所设计门电路的功耗,选取具有代表性的三值 CNFET 反相器进行功耗测试。在同等条件下,其能耗曲线如图 11 所示。

该能耗图表明,利用 CNFET 设计的改进型反相器产生的能耗较低,可节省 54.9%的能耗。文献[10]中,当输入电压在 0.45 V 左右时,电路中间的 2 个 CNFET 起分压作用,产生较大的漏电流,因而用此种方法会产生较大能耗。改进型的三值 CNFET 反相器电路利用 CNFET 在较高衬底电压

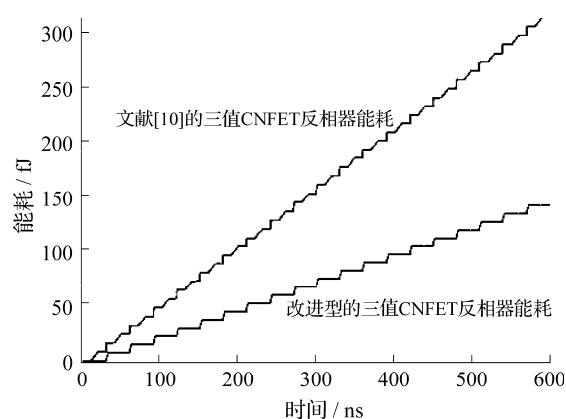


图 11 CNFET 反相器能耗比较曲线

下的导通特性,使得所产生的能耗较低,便于大规模的低功耗集成电路应用。

4 结论

基于 CNFET 设计的多值逻辑电路具有高速低功耗特性。通过改变碳纳米管的尺寸大小来调节 CNFET 的阈值电压,并设计了不同阈值电压的三值门电路和文字运算电路。所设计的电路单元比传统的 MOS 管电路传输速度快,功耗低,该电路可进一步用于设计复杂的三值逻辑器件。

参考文献:

- [1] Vasundara P K S, Gurumurthy K S. Quaternary CMOS combinational logic circuits[C]. International Conference on Information and Multimedia Technology, 2009:538-542.

- [2] 汪鹏君, 梅凤娜. 三值绝热 JKL 触发器的设计[J]. 北京科技大学学报, 2012, 12(15):1464-1468.
- [3] 吴训威. 多值逻辑电路设计原理[M]. 杭州: 杭州大学出版社, 1994:1-383.
- [4] Nepal K. Dynamic circuits for ternary computation in carbon nanotube based field effect transistors[C]. 8th IEEE International Conference on NEWCAS, 2010:53-56.
- [5] 王耀. 碳纳米管场效应管及其应用电路的建模分析[D]. 长沙: 国防科学技术大学, 2008.
- [6] Deng Jie, Wong H S P. A Compact spice model for carbon-nanotube field-effect transistors including non-idealities and its application part I: Model of the intrinsic channel region[J]. IEEE Transactions on Electron Devices, 2012, 12(54):3186-3194.
- [7] Biswas S, Jameel K M, Haque R, et al. A novel design and simulation of a compact and ultra fast CNTFET multi-valued inverter using HSPICE[C]. 14th International Conference on UK Sim, 2012:671-677.
- [8] Nan H, Ken C. Novel ternary logic design based on CNFET[C]. SOC Design Conference, 2010:115-118.
- [9] Vudadha C, Saiphaneendra P, Sreehari V, et al. CNFET based ternary magnitude comparator[C]. International Symposium on Communications and Information Technologies (ISCIT), 2012:942-946.
- [10] Lin Sheng, Kim Y B, Lombardi F. A novel Cntfet-based ternary logic gate design[C]. IEEE International Midwest Symposium on Circuits and Systems Conference, 2009: 435-438.
- [11] Stanford Nanoelectronics Lab. Stanford CNFET model and Schottky barrier CNFET model[EB/OL]. [2013-07-12]. <http://nano.stanford.edu/model.php?id=23>.
- [12] Bari S, Shonchoy N, Kabir F T, et al. Design and performance analysis of ultra fast CNFET comparator and CMOS implementation comparison[C]. 14th International Conference on UKSim, 2012:665-670.

Design of Low Power Ternary CNFET Gate Circuit

TANG Wei-tong, WANG Peng-jun*, ZHENG Xue-song

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: By investigating the Carbon Nanotube Field Effect Transistor (CNFET), this paper proposes a design scheme of low power ternary CNFET gate circuit. The structure of CNFET and the various size of carbon nanotubes corresponding to the different threshold voltages are first analyzed, followed by designing ternary inverter, NAND gate, NOR gate and other unit gate circuit, all of which are implemented on the basis of multi-valued logic theory. Finally, HSPICE is used to simulate the circuit design. The results show that the designed circuits have expected logic functionality. Comparing with the traditional ternary gate circuit, the transmission speed of CNFET gate circuit increases on average by 52.7%, and energy is saved by 54.9%.

Key words: low power consumption; carbon nanotube field effect transistor; multi-valued logic; gate circuit

(责任编辑 章践立)