

基于 FPGA 的血液分析仪驱动电路设计

胡文龙, 李 宏*

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 提出了一种基于 FPGA 的血液分析仪驱动电路设计, 以及一种基于频率测量的步进电机故障检测方法. 其驱动电路采用模块化和自底向上的设计方法, 实现对 4 个步进电机和 24 路电磁阀的并行驱动和实时故障检测, 并可通过串行通讯与主控机进行数据交换.

关键词: 血液分析仪; 步进电机; 电磁阀; 故障检测

中图分类号: TH776

文献标识码: A

文章编号: 1001-5132 (2012) 04-0044-05

血液分析仪作为医院临床检验广泛应用的仪器之一, 能快速检测人体血液的主要成分, 在临床医疗中占据了重要的地位^[1].

血液分析仪工作时, 需对血液样品进行吸取、稀释、混匀、传送、检测、清洗等一系列处理, 其中涉及到多个步进电机和多达几十个电磁阀的协同工作, 如其中某个电机或阀未正常工作, 都将造成测量失败甚至损坏仪器. 因而必须设计一个驱动电路来实现对这些步进电机和电磁阀的驱动控制和故障检测, 以提高测量的准确性和稳定性.

传统基于单片机的设计方法由于单片机指令的顺序执行方式, 决定其不适合用于大规模的并行控制, 因而常常采取多个单片机来达到大规模并行控制的目的, 由此导致电路结构复杂, 系统可靠性较差.

笔者提出了一种基于 FPGA 的血液分析仪驱动电路设计方案, 该方案采用模块化和自底向上的设计方法, 单片 FPGA 即可实现对多个步进电机及电磁阀的并行控制信号输出, 并对步进电机和电磁阀的检测信号进行实时故障判断, 很好地简化了系统, 提高了系统的可靠性和实时性.

1 血液分析仪驱动电路总体设计

基于 FPGA 的血液分析仪驱动电路采用模块化设计方法, 主要由核心控制电路、步进电机驱动和故障检测电路、电磁阀驱动和故障检测电路三部分组成.

电路原理如图 1 所示. 其中, 核心控制电路的主要功能是与主控机进行串行通讯, 将接收到的指令和数据经过译码, 然后将相应的控制信号输

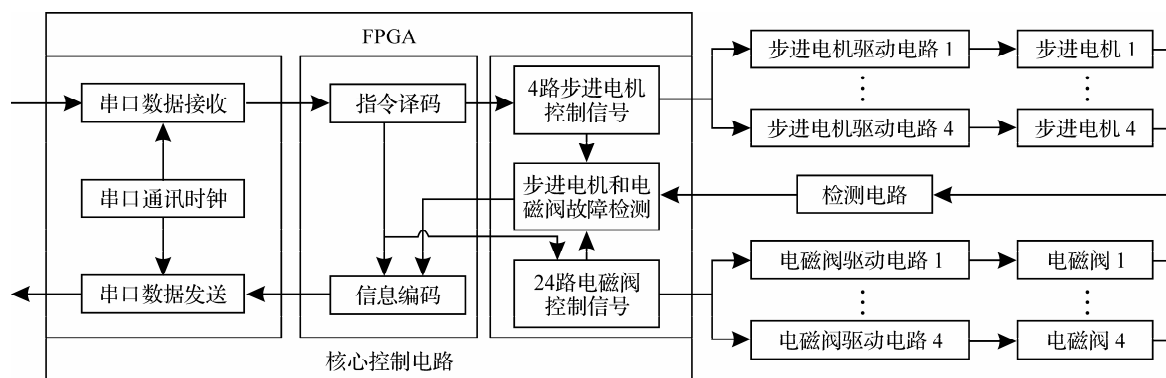


图 1 基于 FPGA 的血液分析仪驱动电路原理

收稿日期: 2012-06-08.

宁波大学学报(理工版) 网址: <http://3xb.nbu.edu.cn>

第一作者: 胡文龙 (1988—), 男, 湖北天门人, 在读硕士研究生, 主要研究方向: 电子电路设计. E-mail: wenlong_hu@yeah.net

*通讯作者: 李 宏 (1960—), 男, 浙江宁波人, 副教授, 主要研究方向: 电子电路设计. E-mail: lihong2@nbu.edu.cn

出给步进电机和电磁阀驱动电路。同时对步进电机和电磁阀的检测信号进行故障判断, 当检测到步进电机或电磁阀发生故障时, 实行相应的控制, 并将错误信息编码后上传给主机。

步进电机驱动和故障检测电路的主要功能是根据接收的控制信号实行对 4 个步进电机的驱动, 并对步进电机工作状态进行检测。

电磁阀驱动和故障检测电路的主要功能是根据接收的控制信号实行对 24 路电磁阀的驱动, 并对电磁阀工作状态进行检测。

2 步进电机驱动及故障检测电路设计

2.1 步进电机驱动电路设计

采用 Allegro Micro Systems 公司的 A3977 集成步进电机驱动芯片来设计步进电机驱动电路, 该驱动芯片采用细分电流的方式驱动步进电机, 能有效地降低步进电机的低频振动, 提高步进电机的运转精度^[2]。A3977 原理如图 2 所示。

在应用 A3977 驱动步进电机时, MS2、MS1 用于设置电流细分模式, 当 MS2、MS1 为 00~11 时, 分别对应全、半、1/4 和 1/8 电流细分模式; EN 为使能控制端; DIR 为步进电机的转动方向控制端; STEP 为步进脉冲输入端, 步进脉冲频率越高, 步进电机步进速度越快, 即转速越快。

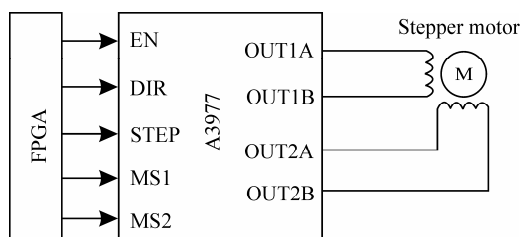


图2 A3977 原理

2.2 步进电机故障检测电路设计

2.2.1 步进电机故障检测原理

采用细分电流驱动步进电机的方式, 步进电机绕组中的电流是周期性的, 并且周期与步进脉冲周期存在着定量关系, 将这种周期的定量关系转化为频率的定量关系, 通过频率测量即可确定步进电机是否发生故障。

图 3 即为 A3977 在 1/8 电流细分模式下驱动步进电机时, 驱动电流与步进脉冲的关系。

由图 3 可知, 在 1/8 电流细分模式下, 绕组电

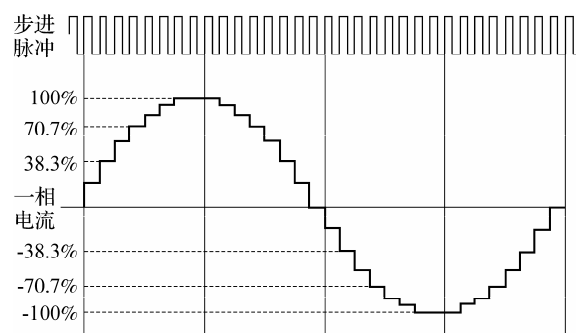


图3 驱动电流与步进脉冲的关系

流的 1 个周期对应于 32 个步进脉冲。实际上, 若步进电机在全电流模式下为四拍运行, 则在不同的电流细分模式下, 步进电机绕组里的电流周期与步进脉冲周期之间的关系如下式:

$$T = 4 \times P \times T_{\text{step}}, \quad (1)$$

式中, T 为绕组电流的周期; T_{step} 为步进脉冲的周期; P 在电流细分模式为全、半、1/4 和 1/8 时分别对应 1, 2, 4 和 8。满足一般性, (1) 式对于 1/16 甚至更大的电流细分都是适用的。

因此, 通过测量绕组电流周期和步进脉冲周期是否满足(1)式就可以确定步进电机工作是否正常。为方便检测, 将(1)式中的周期转换为频率:

$$f = f_{\text{step}} / 4P, \quad (2)$$

式中, f 为绕组电流经处理后得到的矩形脉冲的频率; f_{step} 为步进脉冲频率。

经过上述处理后, 可通过直接测量 f 和 f_{step} , 定量分析它们之间的关系是否满足(2)式, 就可判断步进电机运行是否正常。

2.2.2 步进电机故障检测电路

根据上述步进电机故障检测原理, 对绕组电流进行采样、滤波和整形后得到矩形脉冲, 再对矩形脉冲频率和设定的步进脉冲频率进行定量分析, 确定是否发生故障, 故障检测电路如图 4 所示。

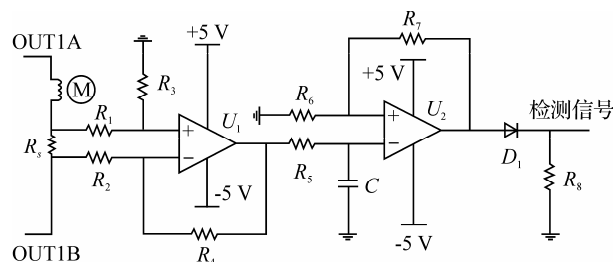


图4 步进电机故障检测电路

在步进电机的一相绕组中, 串联了 1 个 0.22Ω

的采样电阻. U_1 通过对采样电阻两端电压进行差分放大将绕组电流转化为电压. R_5 与 C 构成低通滤波器, 滤除 U_1 输出电压中的高频成分. U_2 构成了滞回过零比较器将滤波后的电压转换为矩形脉冲. 二极管 D_1 用于对比较器输出的交流脉冲信号进行整流.

3 电磁阀驱动及故障检测电路设计

电磁阀的开关主要取决于流过其内部电磁线圈的驱动电流的大小, 而对其进行故障检测是通过比较控制信号和检测信号的关系来进行判断. 电磁阀驱动及故障检测电路如图 5 所示.

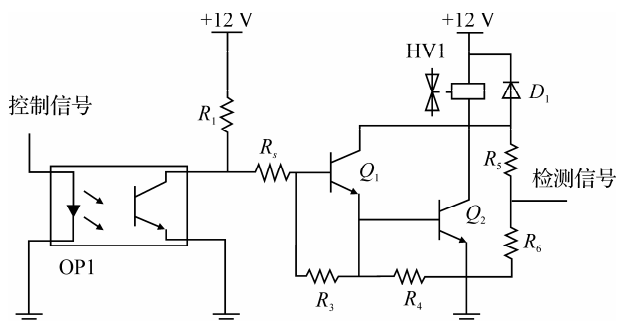


图 5 电磁阀驱动及故障检测电路

图 5 中 OP1 为光耦, 三极管 Q_1 和 Q_2 构成了达林顿管, HV1 表示电磁阀的电磁线圈, R_5 和 R_6 的作用是对达林顿管的输出电压进行分压.

当控制信号为高时, 光耦输出为低, 达林顿管不工作, 流过电磁线圈的电流很小, 电磁阀是关闭的, 经分压后的检测信号约为 3.3 V. 当控制信号为低时, 光耦输出为高驱动达林顿管工作, 流过电磁线圈的电流很大, 阀打开, 此时的检测信号约为 0 V. 可见, 控制信号和检测信号存在着对应关系, 通过比较判断就可确定电磁阀是否正常工作.

4 基于 FPGA 的核心控制电路设计

基于 FPGA 的核心控制电路采用自底向上的设计方法, 主要由串行通讯模块、译码和编码模块、驱动控制和检测模块组成(图 6).

4.1 串行通讯模块

该模块主要功能是与主控机进行串行通讯, 接收主控机的指令和数据, 并将步进电机和电磁阀的错误信息上传给主控机.

4.1.1 串行通讯时钟产生电路

根据设定的波特率产生串口数据发送时钟和

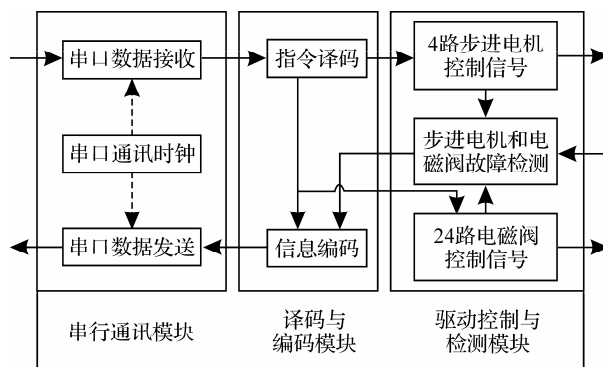


图 6 基于 FPGA 的核心控制电路原理

串口数据接收采样时钟, 为提高通讯的抗干扰能力, 采样时钟设为发送时钟的 16 倍.

4.1.2 串口数据接收电路

接收主控机发送的指令和数据. 由于串口通讯采用的是一个主机多个从机的模式, 因而将通常每帧数据中的奇偶效验位作为区别地址和指令的标志位, 数据格式如图 7 所示:

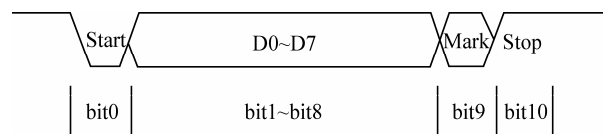


图 7 串口通讯数据格式

每帧数据固定为 11 位, 1 位起始位、1 位停止位、1 位奇偶效验位、8 位数据位. 起始位(Start): 固定为 0, 表示一帧数据开始; 数据位为 8 位, 先传送低位再传送高位; 奇偶效验位(Mark): 用于标记传送的数据是地址还是指令, 1 为表示地址, 0 为表示指令; 停止位(Stop): 固定为 1, 表示 1 帧数据结束. 其中, 串口通讯接收指令的流程如图 8 所示.

Mark 为主控机发送数据的奇偶效验位, E_n 为 FPGA 设置的奇偶效验位, 初始 E_n 为 1, 表示此时接收地址, 若此时主控机发送地址 0x7F (0x7F 为 FPGA 对应的地址码), 表示主控机要与 FPGA 通讯, 则 FPGA 将自己的奇偶效验位置 0, 准备接收指令, 接收指令完后将 E_n 置 1.

4.1.3 串口数据发送电路

当主控机请求信息上传时, 将步进电机和电磁阀的故障信息发送给主控机, 每次向上传送 4 个字节.

4.2 译码与编码模块

该模块主要功能是对串行通讯模块接收到的

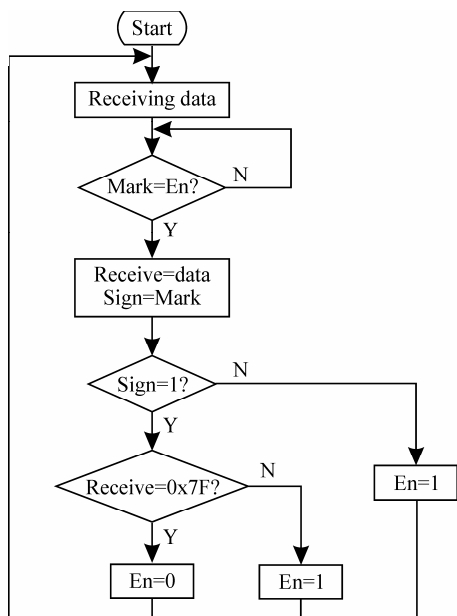


图8 串口通讯接收指令流程

指令和数据进行译码, 并对4个步进电机和24路电磁阀的故障信息进行编码。

4.2.1 指令译码电路

对串行通讯模块接收到的指令和数据进行译码, 确定指令要执行的功能。为提高通讯效率, 针对接收到的8位指令, 笔者采用下面的指令格式:

(1) 若D7~D4为0000~0101时; D3~D0对应设置6组电磁阀, 每组4个, 共24个。

(2) 若D7~D4为0110时, 对应设置步进电机的电流细分模式, D3~D2对应4个步进电机, D1~D0对应全、半、1/4和1/8电流细分模式。

(3) 若D7~D0为01111111时, 对应串口通信中FPGA的地址码0x7f。

(4) 若D7~D0为01110000时, 为主控机要求故障信息上传指令。

(5) 若D7~D5为100~111时, 对应四个步进电机, D4设置步进电机使能, D3设置方向, D2~D0设置转速等级。

4.2.2 信息编码电路

将检测到的步进电机和电磁阀故障信息编码, 4个步进电机共8个绕组顺序组合成1比特数据, 而24个电磁阀分组后顺序组合成3比特数据。

4.3 步进电机与电磁阀驱动控制与检测模块

4.3.1 步进电机驱动控制信号产生电路

根据指令译码的结果相应地输出控制信号给

步进电机驱动电路, 用于设置4路步进电机的电流细分模式、使能控制、方向控制和转速控制。

根据指令格式, 每个步进电机可设置8种转速, 显然, 要使步进电机的转速为定值, 针对不同的电流细分模式, 同一转速对应的步进脉冲频率是不一样的。为了能灵活地改变步进脉冲频率, 这里采用基于直接频率合成(DDS)的思路来产生所需的频率。产生频率的原理如图9所示。

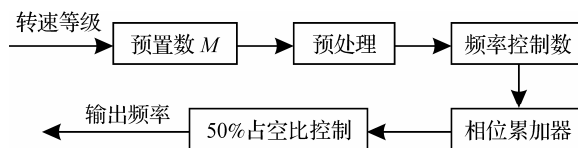


图9 步进脉冲频率的产生

转速等级为0~7, 相应的译码为预置的数值M, 再根据电机运行的步进模式的不同, 进行如下预处理:

$$K = M \times N, \quad (3)$$

式中, K 为频率控制字; M 为预置数, N 为1, 4, 8和16分别对应步进电机全、半、1/4和1/8电流细分模式。

N 位相位累加器对频率控制字 K 进行累加后输出, 当输出小于 2^{N-1} 时输出为0, 大于等于 2^{N-1} 时输出为1, 实现输出频率占空比为50%。由DDS原理可知, 时钟为 f_c , 相位累加器为 N 位, 则有:

$$f_o = K \times \frac{f_c}{2^N}. \quad (4)$$

若步进电机为普通两相四拍电机, 转子齿数为 J , 则在步进脉冲频率为 f_o 时, 对应转速 C 为:

$$C = \frac{f_o}{4 \times J \times P}, \quad (5)$$

将(3)式和(4)式代入(5)式中, 可得:

$$C = \frac{f_c}{2^N} \times \frac{M}{4J}, \quad (6)$$

由(6)式可知, 经过上述处理后, 转速只与 f_c 、 N 和 M 有关, 与电流细分模式无关。因此, 选择合适的 f_c 和 N , 设定预置数 M 就可以很方便地设定步进电机的转速等级对应的实际转速。

4.3.2 步进电机故障判断电路

由前面的步进电机故障检测原理, 故障判断电路如图10所示。

由图10可见, 步进电机一相绕组的检测信号经二分频之后, 计数器1和计数器2分别在其高电

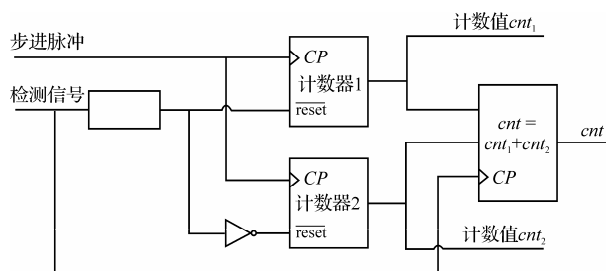


图 10 步进电机故障判断电路

平和低电平期间对设定的步进脉冲进行计数, 另外, 在检测信号的上升沿对计数器 1 和计数器 2 的计数值进行相加。

通过 cnt , cnt_1 , cnt_2 的计数值判断电机的工作状态。以前述步进电机工作在 1/8 电流细分模式下为例, 绕组电流的每个周期应对应 32 个步进脉冲, 所以, 此时可设定 cnt 小于 30 或者 cnt_1 , cnt_2 大于 34, 则认为步进电机运行发生故障。

4.3.3 电磁阀驱动与故障判断电路

根据指令译码的结果相应输出控制信号给电磁阀驱动电路。由前面的电磁阀故障检测原理, 针对某个电磁阀, 通过给定的控制信号与检测信号进行同或, 结果为 0 表示出现故障, 为防止干扰,

可以延时一段时间, 之后故障信号不消失则判定为故障。

5 结论

介绍了基于 FPGA 的血液分析仪驱动电路设计, 该驱动电路通过串行通讯接收主控机指令和数据, 并行控制 4 个步进电机和 24 路电磁阀, 并对步进电机和电磁阀进行实时故障检测, 当检测到错误后进行相应的控制并将故障信息上传给主控机。

参考文献:

- [1] 施金良, 李宏. 基于 FPGA 的血细胞分析装置设计[J]. 现代科学仪器, 2012(1):82-86.
- [2] Allegro Microsystems. A3977 microstepping dmos driver with translator datasheet[EB/OL]. <http://zh.allegromicro.com/~media/Files/Datasheets/A3977-Datasheet.ashx>.
- [3] Thomas Rowan. A new microstepping motor driver IC with integrated step and direction translator interface[D]. Massachusetts: Allegro Microsystems, 2001.
- [4] Samir Palnitkar. Verilog 数字系统设计综合[M]. 北京: 电子工业出版社, 2003.
- [5] 吴继华, 王诚. 设计与验证 Verilog HDL[M]. 北京: 人民邮电出版社, 2006.

Driver Circuit Design for FPGA-based Hematology Analyzer

HU Wen-long, LI Hong*

(Faculty of Information Science and Technology, Ningbo University, Ningbo 315211, China)

Abstract: As an efficient instrument for analyzing sampled human blood, hematology analyzer has been widely used in the clinical testing fields. It requires multiple step motors and dozens of solenoid valves to work together for performing the given tasks. This article describes a driver circuit of hematology analyzer based on field programmable gate arrays. The driver circuit, which exchanges data with the upper controller through the serial communication in a bottom-up fashion, realizes the parallel drive and fault detection for the given four step motors and twenty-four solenoid valves.

Key words: Hematology analyzer ; stepper motor; solenoid valves; fault detection

(责任编辑 章践立)