

基于 CNFET 的三值脉冲式 D 触发器设计

王 谦, 汪鹏君*, 龚道辉

(宁波大学 电路与系统研究所, 浙江 宁波 315211)

摘要: 通过对脉冲式时序电路的研究, 利用多值开关信号理论, 设计基于碳纳米场效应晶体管的单边沿和双边沿三值脉冲式 D 触发器. 该方案利用 CNFET 高速低功耗特征, 结合多值逻辑电路的开关运算, 简化函数表达式, 优化电路结构, 减少晶体管数量, 达到了降低功耗的目的. 经过 HSPICE 仿真结果表明, 所设计的三值脉冲式 D 触发器具有正确的逻辑功能和低功耗特性.

关键词: 三值逻辑; CNFET; 脉冲式 D 触发器; 低功耗

中图分类号: TN783

文献标志码: A

文章编号: 1001-5132 (2016) 01-0037-05

触发器是数字集成电路中时序电路的关键组成部分, 触发器的性能对数字集成电路系统有着重要的影响^[1]. 三值触发器可以传输“0”、“1”、“2”3种信号, 利用较少的传输线实现二值触发器所传输的信息, 提高集成电路的信息密度, 有效地减少了芯片面积. 三值触发器主要分为4种类型: 传统的主从触发器、并列式的多拍触发器、三值维持阻塞型触发器和脉冲式三值触发器, 其中脉冲式触发器是利用时钟信号竞争产生的窄脉冲控制信号的采集, 只需要一个门锁即可实现触发器的功能^[2].

碳纳米管结构不同, 表现特性也不同, 主要表现为金属特性和半导体特性. 金属特性的碳纳米管在强度与导电能力方面均优于现有的金属互联. 半导体特性的碳纳米管对应的场效应晶体管具有较低的漏电流、理想的阈值电压和弹道传输等优点, 在集成电路领域的应用前景十分广阔, 是替代硅基 MOS 的理想材料之一^[3-4].

时钟信号通常由反相器延时得到窄脉冲信号, 脉冲式触发器只在脉冲信号内采样输入信号, 输入信号作用可以维持到下一个脉冲信号, 这意味着触发器的建立时间可以为0, 甚至是负值, 从而提高电路的工作速度^[5-7]. 目前在三值领域对脉冲式触发器的研究较少, 笔者将利用 CNFET 阈值特

性^[8], 依据开关信号理论, 设计基于 CNFET 的三值脉冲式 D 触发器, 并分析其功耗.

1 碳纳米场效应晶体管

由碳纳米管构成的 CNFET, 结构与 MOS 管类似, 即碳纳米管置于淀积有 SiO₂ 的硅衬底上^[4,8-9]. 隧道区域为本征碳纳米管, 将高掺杂的区域分别作为源极和漏极. CNFET 依据掺杂类型不同, 也分为 N 型与 P 型 CNFET, 模型结构如图 1 所示.

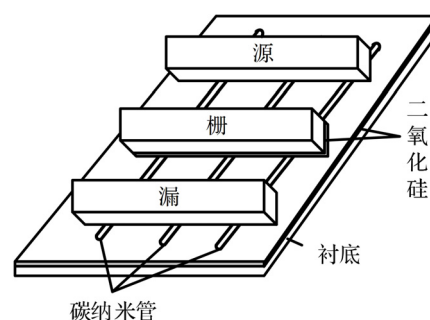


图1 碳纳米管结构模型

由文献[4]与文献[10]可知, 碳纳米管的阈值电压可以近似表示为:

$$V_{th} \approx \frac{\sqrt{3}}{3} \frac{aV_{\pi}}{eD_{cnt}}, \quad (1)$$

其中: $a=2.49 \text{ \AA}$, 表示碳原子晶格常数; $V_{\pi}=3.033$

收稿日期: 2015-02-13.

宁波大学学报(理工版)网址: <http://journal.g.nbu.edu.cn/>

基金项目: 国家自然科学基金(61234002); 浙江省自然科学基金(Z1111219).

第一作者: 王谦(1990-), 男, 江苏宿迁人, 在读硕士研究生, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: hellohaiqian@qq.com

*通信作者: 汪鹏君(1966-), 男, 浙江奉化人, 教授, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: wangpengjun@nbu.edu.cn

eV 表示紧密型碳原子 π 键键能; e 表示电子的基本元电荷; D_{cnt} 为碳纳米管的直径, 可以通过下面的表达式计算:

$$D_{\text{cnt}} = \frac{a_0 \sqrt{3}}{\pi} \sqrt{n^2 + m^2 + nm}, \quad (2)$$

其中: $a_0 = 1.42 \text{ \AA}$, 表示相邻碳—碳原子间的距离; (n, m) 为手性矢量, 当 $n-m=3i$ 时, 碳纳米管为导体特性, 其他则为半导体特性; n, m, i 均为整数, n 和 m 不可同时为 0.

依据碳纳米管阈值电压表达式, 可以发现随着碳纳米管直径的增加, 阈值电压降低; 利用此特性设计多值逻辑电路, 只需要改变碳纳米管的尺寸, 即改变 (n, m) 的取值就可得到多组阈值电压. 为简化计算, 通常 m 取值为 0.

2 单边沿脉冲式 D 触发器设计

脉冲式触发器结合了静态电路可靠性和动态电路高速性的优点. 笔者采用 CNFET 作为电路的基本元件, 利用开关信号理论, 设计三值显性单边沿脉冲式 D 触发器, 避免了门级电路复杂的电路结构.

2.1 开关运算相关表达式

根据开关信号理论, 有传输运算(用 * 表示)和并运算(用 # 表示)表达式:

传输运算:

$$S * \alpha = \begin{cases} S, & \alpha = T, \\ \Phi, & \alpha = F, \end{cases} \quad (3)$$

其中: S 表示传输对象, Φ 为高阻态. 对于多路输出汇于同一节点, 可以进一步引入以下运算:

并运算:

$$S_1 * \alpha_1 \# S_2 * \alpha_2 = \begin{cases} S_1 * \alpha_1, & \alpha_1 = T, \\ S_2 * \alpha_2, & \alpha_2 = T, \end{cases} \quad (4)$$

式中传输运算优先于并运算, 且当 $S_1 \neq S_2$ 时, α_1 与 α_2 有且只有一个为 T .

由(3)式和(4)式可以进一步得到传输运算和并运算定律.

并联控制律:

$$x * \alpha \# x * \beta = x * (\alpha + \beta). \quad (5)$$

分配律:

$$(x * \alpha \# y * \beta) * \gamma = x * (\alpha \cdot \gamma) \# y * (\beta \cdot \gamma). \quad (6)$$

展开律:

$$f(x) = f(0) * x^{0.5} \# f(1) * (x^{0.5} \cdot x^{1.5}) * f(2) * x^{1.5}. \quad (7)$$

通过上述表达式, 可以直接利用电压控制 CNFET 的开关实现输出信号的传输功能, 并由此设计开关级脉冲式 D 触发器.

2.2 D 锁存器设计

在数字电路中典型的 D 锁存器表达式:

$$Q' = D, \quad (8)$$

由(7)式可知:

$$Q = 0 * D^{0.5} \# 1 * (D^{0.5} \cdot D^{1.5}) \# 2 * D^{1.5}, \quad (9)$$

加入时钟信号后, (8)式可以改为:

$$Q' = D \cdot \text{clk} + Q \cdot \overline{\text{clk}}, \quad (10)$$

因此(9)式可以进一步推导得:

$$Q' = [0 * D^{0.5} \# 1 * (D^{0.5} \cdot D^{1.5}) \# 2 * D^{1.5}] * \text{clk} \# [0 * Q^{0.5} \# 1 * (Q^{0.5} \cdot Q^{1.5}) \# 2 * Q^{1.5}] * \text{clk}^{0.5}. \quad (11)$$

利用分配律以及并联控制律可以得到最终的表达式:

$$Q' = 0 * (D^{0.5} \cdot \text{clk}^{1.5} + Q^{0.5} \cdot \text{clk}^{0.5}) \# 1 * (D^{0.5} \cdot D^{1.5} \cdot \text{clk}^{1.5} + Q^{0.5} \cdot Q^{1.5} \cdot \text{clk}^{0.5}) \# 2 * (D^{1.5} \cdot \text{clk}^{1.5} + Q^{1.5} \cdot \text{clk}^{0.5}). \quad (12)$$

根据(12)式设计“0”、“1”、“2”的选通电路结构, 然后组合得到单边沿脉冲式 D 触发器的电路图(图 2). 显性脉冲式 D 触发器由一个脉冲信号发生器和一个三值 D 锁存器组成, 脉冲信号发生器作为单独部分可以与多个显性脉冲式触发器共享脉冲信号, 从而有效地节省硬件开销, 降低大规模电路功耗^[11]. 文中脉冲信号发生器电路结构采用文献[5]设计的单边沿脉冲信号发生器和文献[11]设计的双边沿脉冲信号发生器.

图 2 中 vdd, vdd/2 和接地分别代表三值电路中的逻辑“2”、“1”和“0”. 图 2(b)是图 2(c)的文字电路结构, ${}^0D^0$, ${}^2D^2$ 分别在 D 为“0”和“2”时输出高电平, 其他输出低电平; ${}^2D^2$ 在 D 为“2”时输出低电平, 其他输出高电平. 图 2 中手性矢量(8, 0)的管子为高阈值 CNFET, 手性矢量(32, 0)的管子为低阈值 CNFET, 手性矢量(19, 0)的管子为常规 CNFET. 在输入为逻辑“0”时, 只有上述 3 种阈值下的 P-CNFET 导通; 在输入为逻辑“1”时, 仅低阈值 N-CNFET 与 P-CNFET 导通; 在输入为逻辑“2”时, 只有上述 3 种阈值下的 N-CNFET 导通.

锁存器由 2 个控制电路和 2 个转化电路组成.

控制电路决定转化电路的通断, 2 个转化电路分别实现触发器“0”、“1”、“2”之间的跳变, 如图 2(c)所示. 当脉冲信号 $clkp$ 为高电平时, N1、N7 管关闭, N3、N6、N10 开启, 若输入信号 D 为“2”时, N2、N9 导通, N5、N8 截止, 此时 Y 节点为低电平, 使得 N4 导通, 输出电压为 vdd , 即逻辑“2”; 若 D 为“1”时, N8、N9 导通, N2、N5 截止, 此时 Z 节点为低电平, 使得 N11 导通, 输出电压为 $vdd/2$, 即

逻辑“1”; 若 D 为“0”时, N5、N8 导通, N2、N9 截止, 此时输出电压为 $0V$, 即逻辑“0”.

当脉冲信号 $clkp$ 为低电平时, N1、N7 管开启, N3、N6、N10 关闭, 此时 Y 与 Z 节点均为高电平, N4 与 N11 截止. 此时无论输入信号 D 为何值, 输出端 Q 维持原来的输出不变.

通过以上电路逻辑分析, 文中设计的脉冲式 D 触发器符合三值 D 触发器次态方程, 具有正确的逻辑功能.

三值单边沿脉冲式 D 触发器符号如图 2(d)所示, 其中 D 与 Q 为三值信号, clk 为二值时钟信号.

3 双边沿脉冲式 D 触发器

单边沿触发器只有在时钟 clk 上升沿或者下降沿采样数据, 忽略另一个方向上时钟信号的跳变, 利用率只达到一半, 造成能量的浪费^[12]. 对于脉冲式触发器也同样如此, 所以在研究单边沿触发器的基础上, 设计一种双边沿脉冲式 D 触发器.

显性脉冲式触发器具有脉冲信号发生器独立的优点, 因此替换图 2(a)单边沿脉冲式信号发生器为文献[11]中双边沿脉冲式信号发生器, 其他电路维持不变, 即可实现双边沿脉冲式触发器, 易于大规模集成电路设计与维护. 双边沿脉冲信号发生器的原理是在时钟 clk 上升沿和下降沿均产生脉冲信号, 充分利用时钟信号.

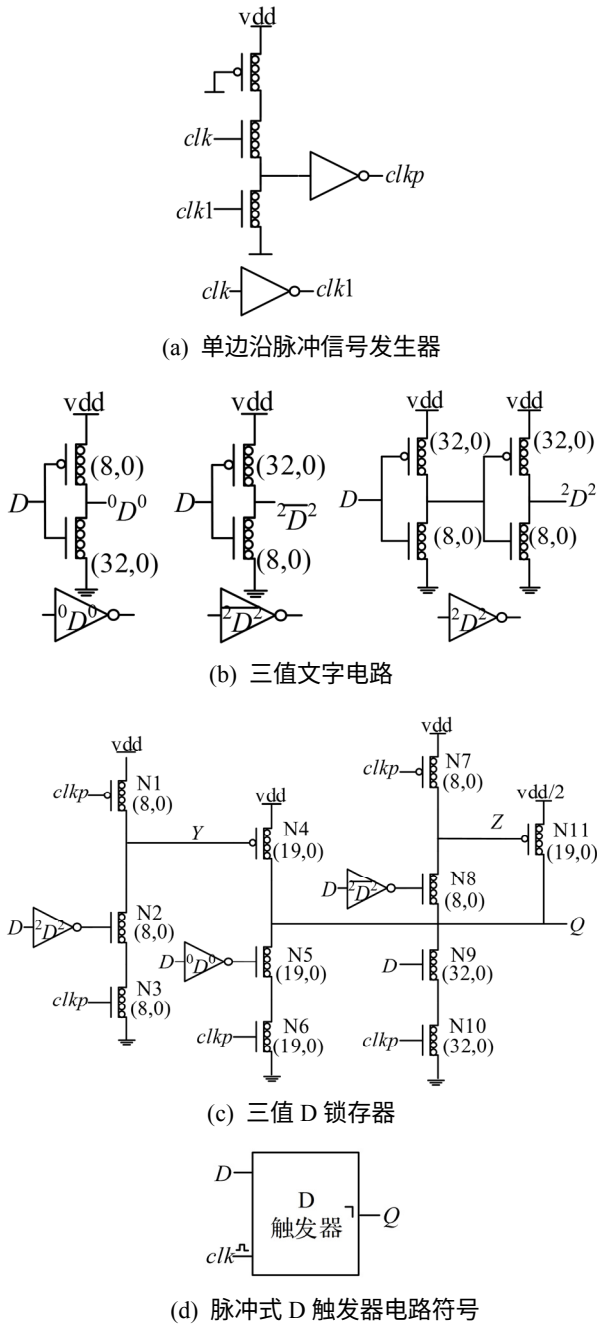


图 2 三值单边沿脉冲式 D 触发器

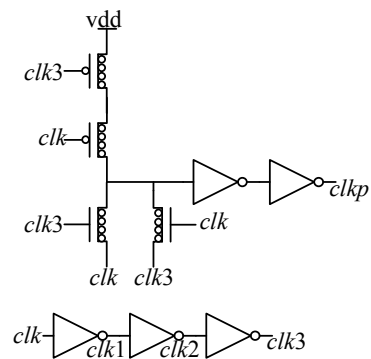


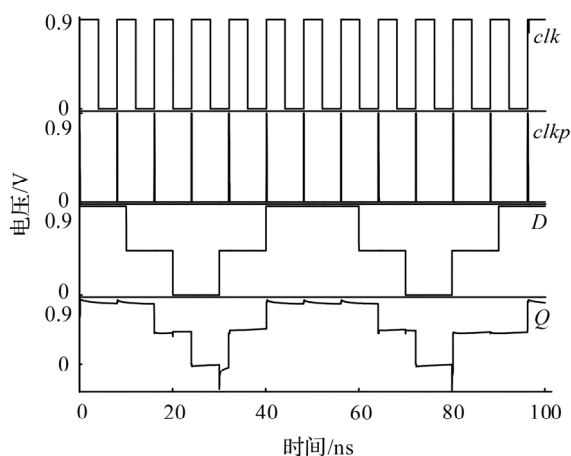
图 3 双边沿脉冲信号发生器

由于锁存电路相同, 因此双边沿脉冲式 D 触发器电路工作方式与单边沿脉冲式触发器相同, 均在时钟信号 $clkp$ 为高电平时开启, 在一个 clk 周期内触发器可以完成 2 次信号采集, 在相同时钟频率情况下, 加快了电路工作的速率.

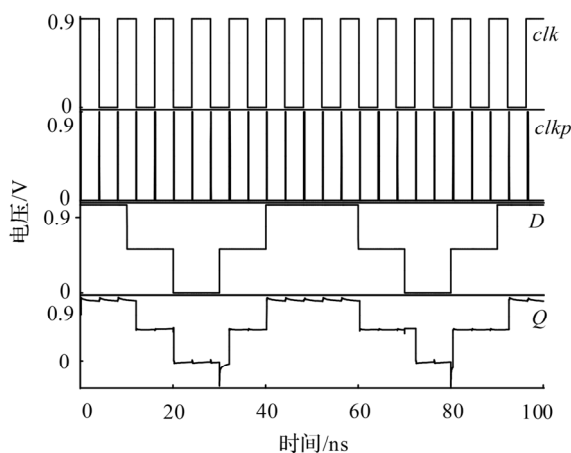
4 实验结果与分析

在 HSPICE 中仿真所设计的电路, 选取 32 nm 标准模型下的 CNFET, 电源电压 v_{dd} 为 0.9 V (逻辑“2”), 则相应的 0.45 V 和 0 V 分别表示逻辑“1”与逻辑“0”, 触发器时钟频率为 250 MHz, 用 30 fF 电容作为输出负载。

在 HSPICE 中模拟的波形如图 4 所示。从图 4 中可以看出, 所设计的单、双边沿脉冲式 D 触发器在脉冲信号 $clkp$ 为高电平时, 采集输入端 D 信号, 此时输出端 Q 与输入端 D 相同。在脉冲信号 $clkp$ 为低电平时, 维持 D 信号上一个输入状态, 不随 D 信号的改变而变化。因此设计的脉冲式 D 触发器具有正确的逻辑功能。将本文设计的单、双边沿脉冲式 D 触发器与文献[5]中设计的单边沿脉冲式 D



(a) 单边沿脉冲式 D 触发器仿真波形



(b) 双边沿脉冲式 D 触发器仿真波形

图 4 触发器模拟仿真

触发器功耗进行对比。由于文献[5]采用 TSMC 180 nm CMOS 工艺, 工作电压较高, 仿真功耗较大, 不具可比性。因此将文献[5]电路中 CMOS 替换为 CNFET 仿真得到功耗与本文设计的触发器功耗进行对比, 如图 5 所示。从图 5 可以看出, 本文设计的单边沿脉冲式 D 触发器与双边沿脉冲式 D 触发器功耗分别减少了 48.2% 和 40.7%, 其主要原因是通过开关信号理论, 进一步简化了电路结构, 减少触发器晶体管使用数目。此外, 双边沿脉冲式 D 触发器相比单边沿脉冲式 D 触发器功耗略高, 是因为双边沿脉冲式 D 触发器与单边沿脉冲式 D 触发器采用相同的时钟频率, 工作速率为单边沿脉冲式 D 触发器的 2 倍, 但功耗只增加了 15.3%。

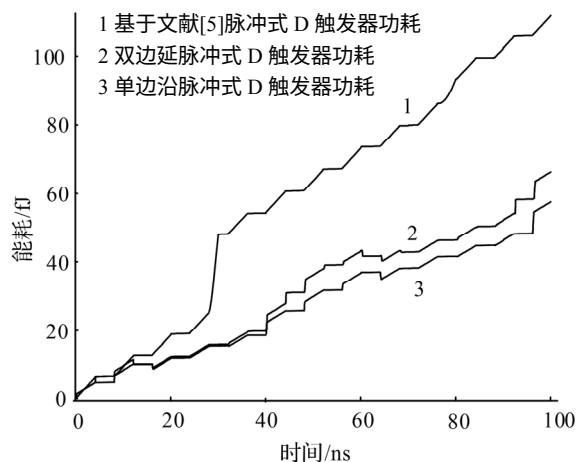


图 5 脉冲式 D 触发器能耗比较

5 结论

本文设计了一种基于 CNFET 的单边沿脉冲式 D 触发器和双边沿脉冲式 D 触发器, 通过进一步优化电路结构, 减少晶体管数量, 大幅降低了电路的功耗。同时 CNFET 的高速低功耗特性, 进一步降低了电路功耗, 加快了电路的工作速率。因此, 基于 CNFET 的三值脉冲式触发器对多值时序低功耗电路设计具有重要意义。

参考文献:

- [1] 吴训威, 陈偕雄. 具有三轨输出的三值触发器及其在三值时序电路中的应用[J]. 中国科学, 1985(7):643-654.
- [2] 吴训威, 韦健. 时钟信号竞争型三值 CMOS 边沿触发器[J]. 电子学报, 2000, 28(9):126-127.

- [3] 王耀. 碳纳米管场效应管及其应用电路的建模分析[D]. 长沙: 国防科学技术大学, 2008.
- [4] DENG JIE, WONG H S P. A compact spice model for carbon-nanotube field-effect transistors including nonidealities and its application part I: Model of the intrinsic channel region[J]. IEEE Transactions on Electron Devices, 2012, 54(12):3186-3194.
- [5] 戴燕云. 基于脉冲技术低功耗高性能触发器设计[D]. 杭州: 浙江大学, 2009.
- [6] 张小阳, 贾嵩, 王源, 等. 新型高速低功耗显式脉冲触发器电路设计[J]. 半导体学报, 2008, 29(10):2064-2068.
- [7] 张立彬, 姚茂群, 王彤. 高性能电流型 CMOS 显性脉冲触发器设计[J]. 浙江大学学报(理学版), 2013(4): 428-432.
- [8] BISWAS S, JAMEEL K M, HAQUE R, et al. A novel design and simulation of a compact and ultra fast CNTFET multi-valued inverter using HSPICE[C]//2012 14th International Conference on Modelling and Simulation, IEEE Computer Society. Cambridge: IEEE, 2012:671-677.
- [9] NAN H, CHOI K. Novel ternary logic design based on CNFET[C]//SoC Design Conference (ISOCC), 2010 International. Seoul: IEEE, 2010:115-118.
- [10] 唐伟童, 汪鹏君, 郑雪松. 基于 CNFET 的低功耗三值门电路设计[J]. 宁波大学学报(理工版), 2014, 27(3): 43-49.
- [11] 吴学祥, 沈继忠. 用于显性脉冲式触发器的新型低功耗脉冲信号发生器[J]. 浙江大学学报(理学版), 2012, (4):396-401.
- [12] 杭国强. 低功耗三值双边沿触发器设计[J]. 电路与系统学报, 2007(4):15-19.

Ternary CNFET Pulsed D Flip-flop: Design

WANG Qian, WANG Peng-jun*, GONG Dao-hui

(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: Trigger is the core component in the sequential circuits. Based on exploring the pulsed sequential circuits and the multi-valued switch-signal theory, a design scheme for single-edge and double-edge ternary D flip-flops is proposed using Carbon Nanotubes Field Effect Transistor (CNFET), which features in high speed transmission and low power consumption. The circuit structure is simplified and the number of transistors needed is reduced by employing multi-valued switching operations. The scheme is simulated using HSPICE, and the results show that the designed ternary pulsed D flip-flop has correct logic function and low power consumption.

Key words: ternary logic; CNFET; pulsed D flip-flop; low power

(责任编辑 史小丽)