

*通信作者: 邬杨波 (1972—), 男, 浙江奉化人, 副教授, 主要研究方向: 低功耗集成电路设计, E-mail: wuyangbo@nbu.edu.cn

线路的原先状态将会丢失,因此需要发展应用于异步流水线结构的数据保持功耗休眠技术.图1所示电路中异步电路的正确有序运行依赖于局部握手信号,而C单元是实现握手信号的关键单元.此外,研究表明:C单元也可应用于时钟电路、存储电路^[7,13],因此C单元的低功耗研究势在必行.目前研究者们已开展了对C单元的近阈值电压、电源电压按比例缩小等低功耗技术的研究^[8,13-16].

本文提出一种具有状态保持功能的低功耗C单元.该C单元应用了一个高阈值功耗MOS管来降低C单元休眠期间的漏功耗,在输出反相器上引入数据保存单元,用于保存C单元休眠期间的数据.所提出低功耗C单元在进入离开休眠状态时,不需要额外的数据恢复电路,从而具有更小的休眠漏功耗并可消除状态转换所需的额外功耗.

1 功耗漏功耗减小技术

1.1 MOS器件漏电流构成

集成电路已进入深亚微米领域,随着阈值电压、沟道长度、栅氧厚度的减小,漏电流的升高已显著影响电路的功耗.按漏电流产生的物理机制分类,MOS器件主要存在6种漏电流^[3],如图2所示.分别为PN结反偏漏电流(I_1)、亚阈值漏电流(I_2)、栅极隧穿电流(I_3)、栅极热载流子注入电流(I_4)、栅致漏极漏电流(I_5)以及衬底穿透漏电流(I_6).从电路设计角度看,漏电流可以分为3类:亚阈值漏电流、栅极漏电流和漏源-衬底反偏漏电流,但随着工艺技术的发展以及新型材料的应用,栅极漏电流和漏源-衬底反偏漏电流得到控制,目前亚阈值漏电流是主要的漏电流来源^[17].

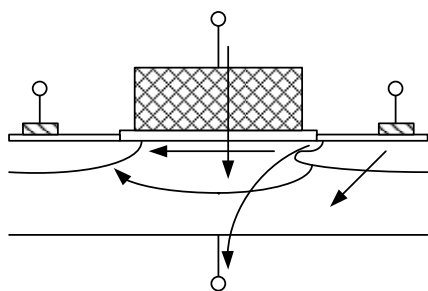


图2 MOS器件漏电流模型

亚阈值漏电流是指MOS晶体管在栅极电压低于阈值电压时流过源漏极的弱反型电流.与强反

型情况下占主导地位的漂移电流相反,亚阈值漏电流主要是扩散电流,可以表示为:

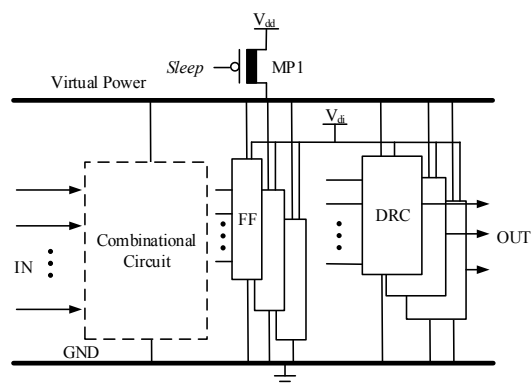
$$I_{\text{sub}} = \mu_0 C_{\text{ox}} \frac{W}{L} (m-1)(v_T)^2 \cdot e^{\frac{V_g - V_{th}}{m v_T} \left(1 - e^{\frac{-V_{DS}}{v_T}} \right)}, \quad (1)$$

其中: v_{th} 代表MOS管阈值电压, v_T 代表温度电压, m 为亚阈值摆率系数, C_{ox} 是栅氧电容.

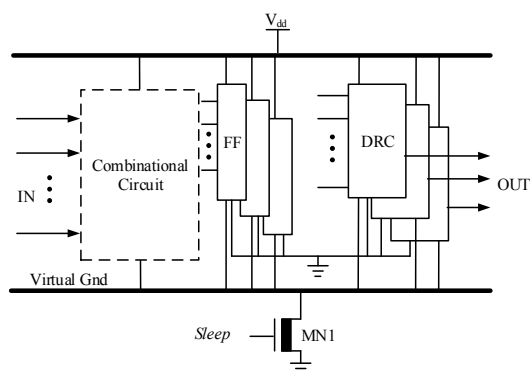
由(1)式可知,MOS管漏电流 I_{sub} 与阈值电压 v_{th} 成指数关系, I_{sub} 的变化对亚阈值漏电流产生的影响很大.

1.2 功耗漏功耗技术分析

针对漏功耗急剧增大的现状,研究者已从电路级提出了多种漏功耗减小技术,就已公开的文献和技术资料看,可把现有技术大致归纳为休眠漏功耗减小技术和活动漏功耗减小技术两类^[9,17].其中,功耗休眠技术由于效果显著得到了广泛的应用,基于功耗休眠技术的低漏功耗同步逻辑电路原理如图3所示.



(a) 高阈值PMOS管功耗结构



(b) 高阈值NMOS功耗结构

图3 功耗同步逻辑电路原理图

功耗休眠技术使用休眠晶体管关闭空闲状态的电路模块, 从而减小空闲状态下的电路漏功耗^[3]. 该电路中功能模块使用低阈值晶体管来提高整体电路的性能. 图 3(a)中为降低电路的漏功耗使用高阈值 PMOS 管来控制漏电流的流动, *Sleep* 信号控制电路的工作状态, 当 *Sleep* 信号为 0 时, 高阈值 PMOS 管导通, 电路处于正常工作状态; 当 *Sleep* 信号为 1 时, 高阈值 PMOS 管关断, 电路休眠工作状态. 同时为了防止电路数据的丢失, 电路必须具有 DRC (Data Recovery Cell), 保证数据正确恢复. 图 3(b)显示了基于高阈值 NMOS 管的功耗同步逻辑电路. 但以上 2 种功耗休眠技术, 在电路休眠状态时会丢失原本电路的数据, 这种模式需要另外增加数据恢复电路, 这样增加了电路的性能、功耗的损失. 同时当电路处于休眠状态, 电路中间节点处于浮空状态, 会导致输出电路的不稳定性. 目前, 研究者已经提出几种具有数据保持功能的触发器, 解决了功耗同步时序电路的数据保存以及恢复问题^[10-11]. 同时, 这些技术也可应用到异步电路中, 同样可以解决电路进入休眠状态时, 数据信号的丢失问题.

2 新型功耗低功耗 C 单元

2.1 传统 C 单元电路

在异步电路设计中, C 单元被广泛使用. 最基本的 C 单元符号如图 4 所示, 真值见表 1.

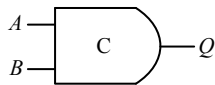


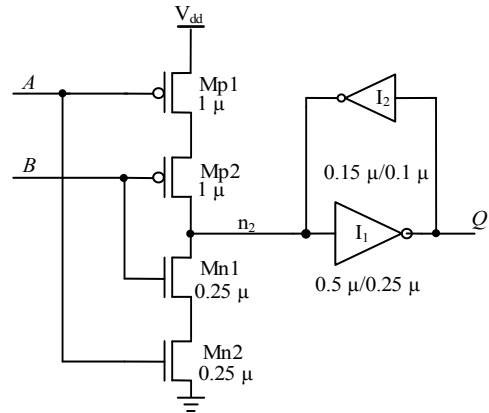
图 4 C 单元符号图

表 1 C 单元真值表

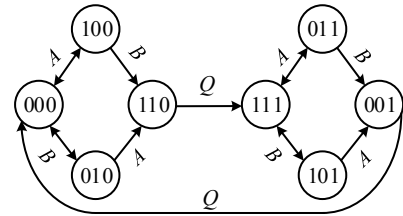
A	B	Q_i
0	0	0
0	1	Q_{i-1}
1	0	Q_{i-1}
1	1	1

由表 1 可知, 当 2 个输入相同时, 输出才会发生变化; 输入不同时, 输出保持原先的不变, 因此可知 C 单元在活动模式时具有逻辑功能和数据保持功能. 基本的弱反馈 C 单元由 NMOS 和 PMOS 晶体管组成的上拉网络和下拉网络组成, 电路原

理和信号状态转换如图 5 所示.



(a) 传统弱反馈 C 单元电路原理图



(b) 信号状态转移

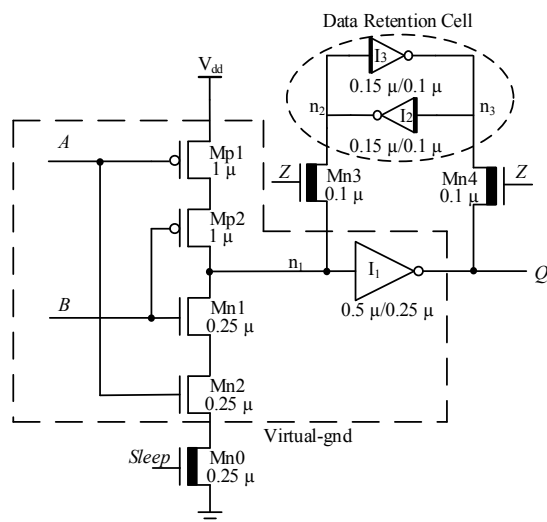
图 5 电路原理和信号状态转换

由图 5 可知, 逻辑输入 A 、 B 连接 C 单元的上拉网络和下拉网络, 通过控制上、下拉网络的导通状态实现相应的逻辑功能. 当输入 A 、 B 为低电平时, 晶体管 $Mp1$ 和 $Mp2$ 导通, 节点 $node$ 充电至 V_{dd} , 此时输出 Q 为低电平; 当输入 A 、 B 都为高电平时, 晶体管 $Mn1$ 和 $Mn2$ 导通, 内部节点 $node$ 为低电平, 输出 Q 变为高电平. 其他的输入都会维持原有状态不发生变化. 然而此结构当电源电压关断后, 数据状态消失, 不能保存数据状态.

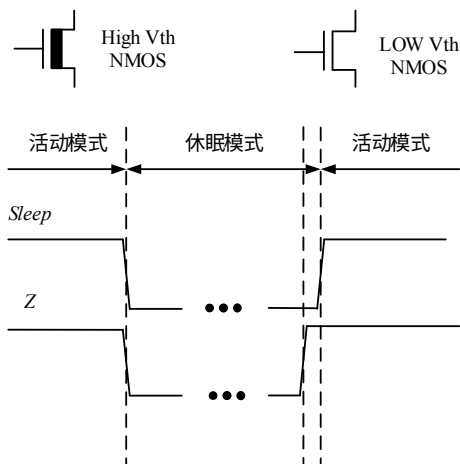
2.2 功耗低功耗 C 单元电路

我们提出一种新型功耗低功耗 C 单元, 其电路原理和工作时序如图 6 所示. 图 6(a)为功耗低功耗 C 单元电路结构, 使用高阈值晶体管 $Mn0$ 降低 C 单元休眠期间的漏功耗, 同时高阈值反相器 $I2$ 和 $I3$ 组成数据保持单元保存休眠时的电路数据, 防止数据丢失. 图 6(b)为电路的工作时序, 数据保存控制信号 Z 和休眠信号 *Sleep* 同时进入休眠状态: 当进入休眠模式时, 休眠信号 *Sleep* 和数据保存控制信号 Z 同时降低, 晶体管 $Mn0$ 、 $Mn3$ 、 $Mn4$ 关断, 状态保存在数据保持单元中, C 单元悬浮, 进入休眠状态; 当从休眠模式进入活动模式时, 数据保存控

制信号 Z 先从低电平升为高电平, 晶体管 $Mn3$ 、 $Mn4$ 导通, 数据保存单元里的信号状态恢复到输出端 Q , 同时休眠信号 $Sleep$ 从低电平升为高电平, 晶体管 $Mn0$ 导通, C 单元正常工作, 进入活动模式。



(a) 功控 C 单元原理图



(b) 工作时序已改

图 6 电路原理和工作时序

3 实验结果与分析

3.1 实验平台

我们提出的低功耗 C 单元, 使用 NCSU PTM 45 nm CMOS 工艺库进行版图绘制, 使用 Hspice 进行版图后仿真。测试环境如图 7 所示, 使用反相器对输入信号进行缓冲, 1 fF 电容用来等效导线的电容负载, 输出端使用 4 个反相器作为等效负载。测试平台使用 2 个电源 V_{dd} 、 V_{di} 分别测量 C 单元的负载功耗 $P_{V_{di}}$ 和电路功耗 $P_{V_{dd}}$ 。

C 单元所采用的高阈值和低阈值 MOS 管的零偏置阈值电压见表 2。 C 单元中晶体管的沟长为 50 nm, 宽度如图 7 所示, 单位为 μm , 工作电压为 1.0 V。

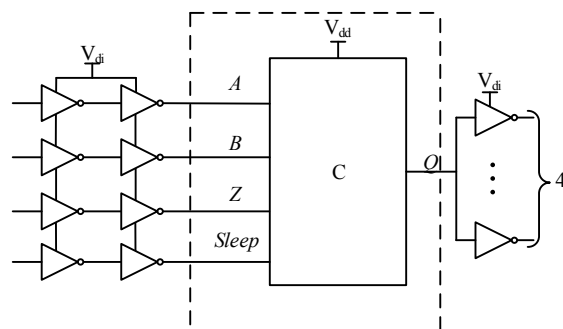


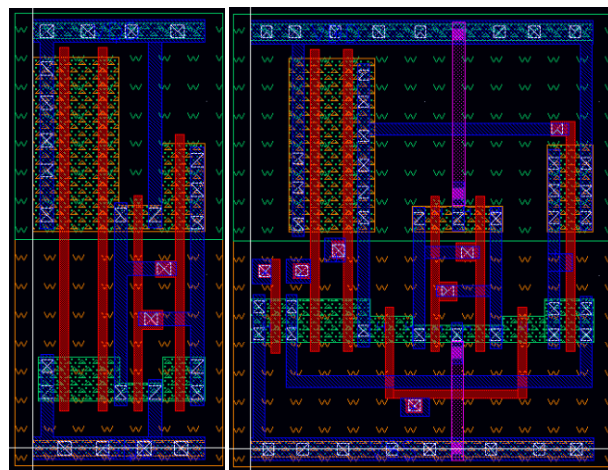
图 7 C 单元测试环境

表 2 晶体管零偏置阈值电压

电压	NMOS 晶体管		PMOS 晶体管	
	低阈值	高阈值	低阈值	高阈值
阈值电压/V	0.471	0.853	-0.423	-0.771

3.2 功能测试与分析

下面验证 2 种不同结构 C 单元的功能、面积、功耗和速度。2 种 C 单元优化版图如图 8 所示, 晶体管的尺寸如图 5 和图 6 所示。



(a) 弱反馈 C 单元 (b) 本文提出的功控 C 单元

图 8 2 种 C 单元优化版图

电路从休眠状态恢复到活动状态共有 8 种情况, 电路后端对这 8 种情况都进行了仿真, 现在对其中典型的 4 种状态进行分析, 如图 9 所示。

图 9(a) 显示休眠信号 $Sleep$ 控制着低功耗 C 单元的工作模式, 包括活动模式和休眠模式。在 t_1 时

刻, 休眠信号 *Sleep* 和数据保存控制信号 *Z* 同时由高电平变为低电平, C 单元进入休眠模式, 在 t_1 到 t_2 时间段, 数据 1 保存在内部 n_3 节点, 输出 *Q* 进入悬浮状态; 在 t_2 时刻, 数据保存控制信号 *Z* 先由低电平变为高电平, 随后休眠信号 *Sleep* 由低电平变为高电平, C 单元进入活动模式, 在 t_2 到 t_3 时间段, 输出 *Q* 根据输入 *A*、*B* 的变化而做出相应的变化。

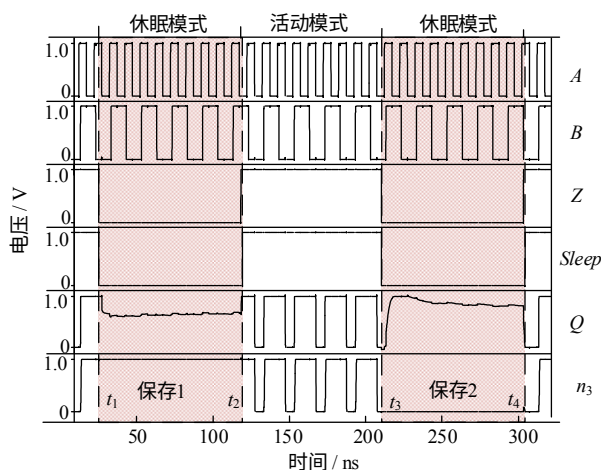


图9 功控低功耗 C 单元后仿波形

3.3 性能测试与分析

C 单元主要指标包括单元面积、动态功耗、漏功耗和延迟。我们使用 Hspice 进行版图后仿真, 电源电压 1.0 V, 在活动模式时输入信号 *A* 为 100 MHz, 输入信号 *B* 为 50 MHz, 功耗、面积以及延迟对比见表 3。

表3 不同 C 单元的面积、功耗和延迟

参数	弱反馈型 C 单元	功控型 C 单元
面积/ μm^2	3.1	5.6
漏功耗/nW	12.7	1.7
动态功耗/nW	763	705
延迟/ps	71.6	82

从表 3 可以看出, 低功耗 C 单元相比弱反馈型 C 单元, 它的休眠漏功耗和动态功耗分别减小了 86.6% 和 7.6%, 面积和延迟损耗分别增加了 80.6% 和 14.5%。休眠漏功耗的降低是由于低功耗 C 单元使用了功控技术使休眠状态时的漏电流减小; 动态功耗的减小是因为所提出的低功耗 C 单元电路, 由于传输管 M_{n3} 和 M_{n4} 的引入, 使电路总的负载电容减小导致电路动态功耗下降。

在电源电压为 1 V 的条件下, 版图后仿真得到

本文设计的低功耗 C 单元最高输入频率可以达到 600 MHz。

4 结论

C 单元是异步流水线握手信号控制电路的关键单元, 具有数据保持功能的功控 C 单元对于低功耗功控异步流水线电路的实现具有重要意义。本研究提出了一种具有数据保持功能的低功耗异步电路 C 单元电路新结构, 该电路使用一对交叉耦合的高阈值反相器保存休眠期间 C 单元的状态, 用高阈值 NMOS 传输管实现 C 单元状态的恢复。对所提出的 C 单元使用 Hspice 工具进行版图后仿真, 结果显示所提出的 C 单元具有正确的逻辑功能, 与传统弱反馈型 C 单元电路相比其休眠漏功耗和动态功耗分别减小 86.6% 和 7.6%。因此本研究提出的低功耗 C 单元可应用于低功耗异步电路流水线设计。

参考文献:

- [1] CHANDRAKASAN A P, SHENG S, BRODERSEN R W. Low-power CMOS digital design[J]. IEICE Transactions on Electronics, 1992, 75(4):371-382.
- [2] BARROSO L A, HÖLZLE U. The case for energy-proportional computing[J]. IEEE Computer, 2007, 40(12): 33-37.
- [3] ROY K, MUKHOPADHYAY S, MAHMOODI-MEIMAND H. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits[J]. Proceedings of the IEEE, 2003, 91(2):305-327.
- [4] FURBER S B, DAY P. Four-phase micropipeline latch control circuits[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 1996, 4(2):247-253.
- [5] SPARSO J. Principles of asynchronous circuit design-A systems perspective[M]. London: Kluwer Academic Publishers, 2006:1-152.
- [6] SUTHERLAND I E. Micropipelines[J]. Communications of the ACM, 1989, 32(6):720-738.
- [7] WINSTEAD C, ELHAMOUI M. Reducing clock jitter by using muller-celements[J]. Electronics Letters, 2009, 45(3):150-151.
- [8] TREVISAN M M, GEHM M F, VILAR C N L. Beware the dynamic C-element[J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2014, 22(7): 1644-1647.

- [9] KIM K K, KIM Y B, CHOI M, et al. Leakage minimization technique for nanoscale CMOS VLSI[J]. IEEE Design & Test of Computers, 2007(4):322-330.
- [10] MUTOH S, DOUSEKI T, MATSUYA Y, et al. 1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS[J]. IEEE Journal of Solid-State Circuits, 1995, 30(8):847-854.
- [11] JIAO H, KURSUN V. Low-leakage and compact registers with easy-sleep mode[J]. Journal of Low Power Electronics, 2010, 6(2):263-279.
- [12] GOWAN M K, BIRO L L, JACKSON D B. Power considerations in the design of the alpha 21264 microprocessor[C]//1998 Proceedings Design Automation Conference, San Francisco: IEEE, 1998:726-731.
- [13] DEVARAPALLI S V, ZARKESH-HA P, SUDDARTH S C. SEU-hardened dual data rate flip-flop using C-elements[C]//2010 IEEE 25th International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT). Kyoto: IEEE, 2010:167-171.
- [14] SCHWARTZ I, TEMAN A, DOBKIN R, et al. Near-threshold 40nm Supply Feedback C-element [C]//2011 3rd Asia Symposium on Quality Electronic Design (ASQED). Kuala Lumpur Malaysia: IEEE, 2011:74-78.
- [15] MOREIRA M, OLIVEIRA B, MORAES F, et al. Impact of C-elements in asynchronous circuits[C]//2012 13th International Symposium on Quality Electronic Design (ISQED). Santa Clara: IEEE, 2012:437-443.
- [16] MOREIRA M T, LAERT V C N. Voltage scaling on C-elements: A speed, power and energy efficiency analysis[C]//2013 IEEE 31st International Conference on Computer Design (ICCD). Asheville, NC: IEEE, 2013: 329-334.
- [17] DEEPAKSUBRAMANYAN B S, NUNEZ A. Analysis of subthreshold leakage reduction in CMOS digital circuits [C]//50th Midwest Symposium on Circuits and Systems 2007 (MWSCAS 2007). Montreal Q C: IEEE, 2007: 1400-1404.

Design: State Retention C-element Using Power Gating Technique

DONG Heng-feng, LEI Shi-jie, WU Yang-bo *

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: In CMOS VLSI design, the power density increases rapidly as the techniques get more complex. To tackle this problem, the low power design has become a critical issue concerned. Asynchronous design where the global clock is replaced by a local communication protocol has the potential power-saving advantages. One of the primitives cells used in asynchronous control circuits is the C-element. In this paper, a new low-power C-Element is proposed with state retention aimed at using the low power asynchronous micropipeline. A high- V_{th} NMOS transistor is utilized to reduce the leaked power consumption in the sleep mode. The state of the C-Element preserves in the high- V_{th} cross-coupled inverters during the power-down period. The post-layout simulation results show that the proposed low-power C-Element possesses the correct logic function, and it achieves a reduction of 86.6% on leaked power consumption and 7.6% on the dynamic power consumption compared with the conventional weak feedback C-Element. It may reach the conclusion that the proposed power gating approach is more suitable for low power asynchronous circuits design.

Key words: asynchronous circuit; power gating technique; low-power; C-element; state retention

(责任编辑 史小丽)