

基于 ARM+FPGA 的短波功放数字预失真硬件平台设计

胡挺, 刘太君*, 叶焱, 许高明

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 数字预失真技术作为一种功放线性化的关键技术, 可有效提高功放线性度. 为高效实现短波功放数字预失真算法, 改善功放线性度, 设计并实现了一款以 ARM+FPGA 为核心的短波功放数字预失真硬件平台, 该平台使系统具有更好的可移植性、可重用性和扩展性. 在对设计的整体硬件框架进行阐述的同时, 着重讨论了模拟电路模块的设计, 并分析了短波功放预失真线性化采用的方案. 整机测试结果表明, 设计的新平台能够满足数字预失真的要求.

关键词: 数字预失真; ARM; FPGA; 短波功放

中图分类号: TN47; TP27

文献标志码: A

文章编号: 1001-5132 (2017) 05-0048-05

无线电短波通信是现今中远程通信的重要手段之一, 它具有抗毁性强、保密性好、设备简单和使用灵活等优点, 特别是在军事通信方面非常受用. 短波的频率范围为 1.6~30 MHz^[1], 不需要中继站, 仅靠天波传播就可以实现远距离的信号传输. 近年来, 短波通信的发展越加受到重视, 而影响短波通信性能最主要因素还是功率放大器的非线性特性^[2]. 为了实现功放的高效率, 功放就需要工作在靠近饱和区, 此时信号必定出现严重的非线性失真, 进而影响信号通信. 数字预失真(DPD)技术作为一种功放线性化的重要技术, 是现今国内外研究的主流技术^[3-5].

目前, 针对短波功放数字预失真系统的参数提取, 算法实现大多采用单片机、FPGA、DSP 等^[6]. 然而, 单片机运行速度低, 性能比较差, 只能进行单任务操作, 效率低下, 几乎被淘汰. 现在主流的都采用 DSP 和 FPGA 协同合作模式^[7], 脱离了安捷伦测试平台及计算机, 由 DSP 担任处理算法工作, FPGA 完成预失真器的处理及实现. 但采用 DSP 处理算法的方式对算法的可移植性较差, 同时对系统可控性也较差. 针对以上情况, 本文设计了一款以 ARM+FPGA 为核心的短波功放数字预失真硬件

平台, 以 ARM 代替 DSP 来实现预失真参数的提取及算法实现, 具有很好的可移植性, 且方便调用库, 操作简单, 易控制.

1 硬件框架及模拟电路模块

1.1 硬件框架

主芯片采用 ALTERA 公司出品的 Cyclone V 系列的 5CSEMA5U23I7N, 该系列芯片的优势是芯片中集成了 ARM 和 FPGA, 1 个芯片便可以实现所有需求, 节省了硬件资源及空间, 而两者之间的通信也变为了内部协议通信, 通信质量高. 在核心芯片中, ARM(即 HPS)实现预失真参数计算提取及控制

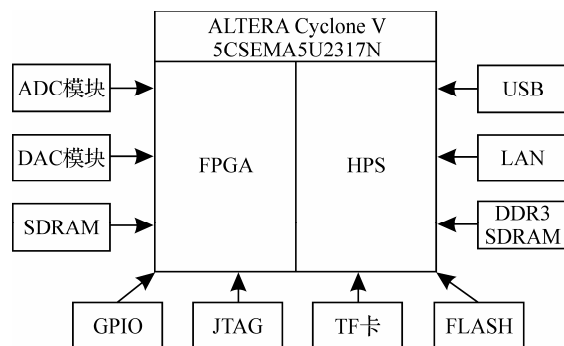


图1 平台外设单元

收稿日期: 2017-02-23.

宁波大学学报(理工版)网址: <http://journaljg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61571251, 61501272); 浙江省公益技术应用研究项目(2015C34004).

第一作者: 胡挺(1992-), 男, 浙江余姚人, 在读硕士研究生, 主要研究方向: 射频电路设计及功放线性化. E-mail: zjyy_ht@163.com

*通信作者: 刘太君(1965-), 男, 四川绵阳人, 博导/教授, 主要研究方向: 射频功放设计及建模和线性化等. E-mail: liutaijun@nbu.edu.cn

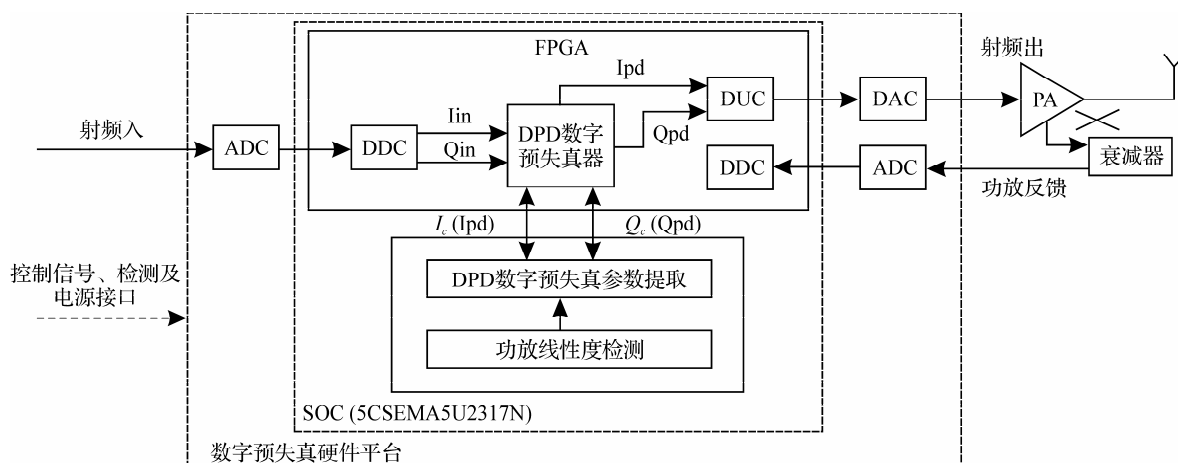


图2 系统硬件主体架构

等功能, FPGA 主要完成数字预失真核心算法的实现。平台的各外设单元以及主体架构如图1和图2所示。

1.1.1 供电采用多电源模式

数字电路及其大电流供电部分采用 Linear Technology 公司的开关电源 LTC3608 及 LTC3633 等, 能实现大电流供电, 效率高。模拟电路部分则采用多个线性稳压(LDO)电源(CAT6219)实现不同模块的供电, 使用线性稳压电源能稳定地提供精准的电压, 避免板间电压损耗对模拟部分供电的影响。

1.1.2 存储设备及通信接口

存储设备分为以下几种: 第一种是 FLASH 芯片(S25FL512S), 容量为 512 Mbit, 特点是掉电程序不丢失, 程序可以烧录在 FLASH 中; 第二种是 SDRAM 芯片(IS42S16320D), 时钟速率为 143 MHz, 上电加载后的程序在此运行, 以实现数字预失真算法; 第三种是 DDR3 SDRAM (IS43TR16256A), 设计为两片级联, 每片容量是 256 M×16(即 4 Gbit), 能够存储足够大的数据量, 数据传输速率也达到 $1\,333\text{ MT}\cdot\text{s}^{-1}$ 。平台与外界的通信接口主要有网口、USB 口和 TF 卡, 操作系统放在 TF 卡中, 系统直接从 TF 卡启动。

该硬件平台跟外界信号的接口有 3 种, 分别是射频输入接口、射频输出接口和控制信号检测及电源接口。射频输入接口连接预处理的输入信号和功放的反馈信号; 射频输出接口输出处理后的信号, 并送入功放; 控制信号检测及电源接口连接与外界系统的通知信号及电源。

1.2 模拟电路模块

模拟电路模块由模数转换模块和数模转换模块组成(图3), 模数转换模块将输入信号转换成数字信号, 在主芯片中进行数字处理, 数模转换模块将处理好的数据转换为模拟信号发射。

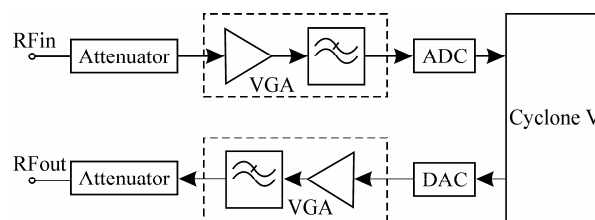


图3 模拟电路模块设计

ADC 使用 TI 公司提供的超低功耗模数转换器 ADS4246^[8], 采用单电源 1.8 V 供电, 双通道各通道差分输入, 14 位数字输出, 最大采样率达到 160 Msps。如图4所示, ADS4246 包含采样电路, 14 位、160 MHz 采样率的模数转换器, 串行数据存储器和并行输出的 CMOS 端口由 4 部分组成。从图中可见, 差分模拟信号从外部输入, 分别通过这 4 部分从最后 CMOS 端口并行输出数字信号。

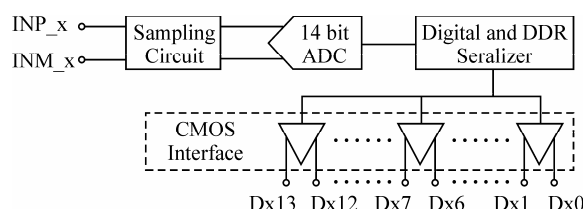


图4 ADS4246 内部结构

DAC 使用 TI 公司提供的超低功耗数模转换器 DAC5672, 采用单电源 3.3 V 供电, 双通道且各通道差分输出, 14 位数字输入, 最大采样率达到 275

Msp, 适用于任意波形发生器(ARB)和直接数字合成(DDS)等应用. 其无杂散动态范围(SFDR)达到 84 dBc, 是一款高性能的模数转换器.

由图 3 可见, 模块使用了衰减器加自动增益控制的组合, 该组合主要是为增大增益的动态范围, 能更好地控制信号大小, 并实现满量程采样.

衰减器采用 Hittite 公司提供的直流至 6 GHz 频率范围的数字衰减器 HMC624A, 其广泛应用于中频射频之中, 分辨率达到 $0.5 \text{ dB} \cdot \text{LSB}^{-1}$, 能实现 $31.5 \text{ dB} (-31.5 \sim 0 \text{ dB})$ 的动态范围, 同时还包含串行和并行 2 种方式的配置方法, 其典型应用电路如图 5 所示.

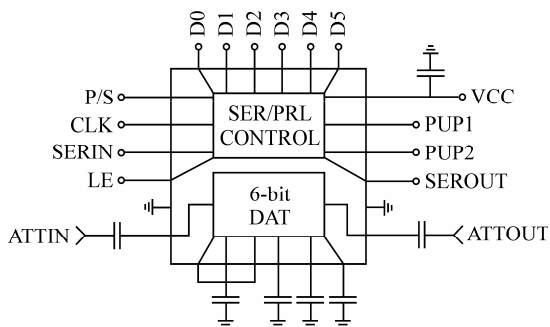


图 5 HMC624A 典型应用电路

自动增益控制采用 ADI 公司的 ADRF6516^[9], 其包括一对匹配的差分低噪声、低失真可编程滤波器和可变增益放大器(VGA). 每个通道都能够抑制较大的带外干扰信号, 并可同时放大所需信号, 在所有增益和带宽设置下都具有很高的无杂散动态范围, 因此 ADRF6516 非常适合具有密集星座图、多个载波并存在邻近干扰的正交通信系统. 滤波器提供六极点巴特沃兹响应, 其 1 dB 转折频率可通过 SPI 在 1~31 MHz 范围内进行编程, 步进 1 MHz. 图 6 为 ADRF6516 单通道信号路径框图, 滤波器之前的前置放大器提供 3 dB 或 6 dB 的 SPI 可编程增益选项, 它可以设置 1600Ω 的差分输入阻抗. 滤波器之后的可变增益放大器提供 50 dB 的连续增益控制, 斜率为 $15.5 \text{ mV} \cdot \text{dB}^{-1}$, 其最大增益可以通过 SPI 编程为不同的值. 输出缓冲器提供 6 dB 或 12 dB 的 SPI 可编程增益选项, 并设置了 30Ω 的差分输出阻抗.

2 短波功放预失真方案

数字预失真原理如图 7 所示, 在功放和输入信

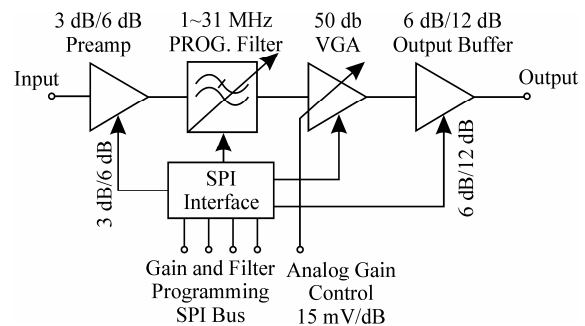


图 6 ADRF6516 单通道信号路径框图

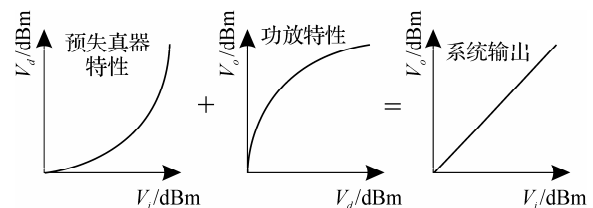


图 7 数字预失真原理

号之间添加一个与功放特性相反的预失真器, 使得非线性相互抵消, 达到线性补偿的目的.

现今, 数字预失真方案已有很多, 如查找表法、Hammerstein 模型、多项式、神经网络等等. 在本文中, 为了验证硬件平台的可行性, 选择了比较简单的查找表 LUT 模型的方案.

2.1 查找表 LUT 模型工作流程

查找表 LUT 模型的数字预失真方案如图 8 所示, 该模型包括地址产生模块、RAM 表和复数乘法器模块.

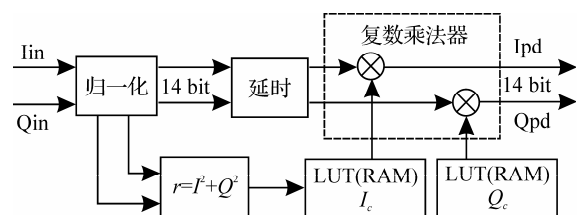


图 8 查找表模型数字预失真方案

基于功放的 AM/AM 和 PM/PM 特性^[10]的查找表模型数学表达式如下:

$$y(n) = (I_c + jQ_c)x(n), \quad (1)$$

式中, I_c 和 Q_c 表示查找表中功放的同相与正交增益; $x(n)$ 和 $y(n)$ 分别为查找表的输入和输出信号.

该模型基本过程是将输入信号进行归一化, 并分成两路, 一路延迟, 另一路以 I 及 Q 的平方和 r 作为查找表的指针索引, 通过指针索引找到 RAM 表中相应的增益值, 并与延迟后的数据在复数乘

法器中进行复数相乘,得到预失真输出数据。

2.2 查找表参数提取方法

查找表的参数提取方法有很多种,如指数加权移动平均算法(EWMA)、动态加权移动平均算法(DEWMA)、无记忆多项式拟合方法等。本文使用EWMA算法来获取查找表参数。

EWMA算法是对2个数据进行加权移动平均,数学表达式如下:

$$d_w(n) = \alpha d_w(n-1) + (1-\alpha)d(n), \quad (2)$$

式中, $d_w(n)$ 和 $d_w(n-1)$ 分别表示当前时刻和前一时刻的处理后数据; $d(n)$ 表示当前时刻待处理的数据; α 为取值范围在 0~1 之间的加权因子。小信号输入时, α 取值较小,可使提取的参数接近实际值;大信号输入时, α 取值较大,可获得平滑的参数曲线。

将提取到的平滑曲线正交分解为 I 和 Q 两路,并分别等分为 1 024 个单元存储到 2 个 RAM 表中,完成查找表模型建立。

3 测试方法及结果

硬件设计采用 DXP 软件,完成平台的原理图和 PCB 设计,设计采用 12 层 PCB 层的结构,并在设计中对信号的走向及形态进行分析,布置出合理的路线和布局,减少信号间的相互干扰和外界干扰,特别是模拟部分和数据存储部分的走线都需要进行相应的特别处理,以此来保证模拟信号的传输和数字信号的误码率。

使用 Agilent 矢量信号发生器产生输入信号为短波上边带调制(USB)的双音信号,调制的信号频率分别是 1 kHz 和 1.7 kHz,采用 1.6~30 MHz 的载波。将输入信号送入平台的模数转换接口,进行预失真处理,最后由数模转换接口输出预失真后的信号送入功放,由功放输出,同时将功放反馈回路送入平台的模数转换接口实现数据循环自适应。

图 9 中,频谱分析仪显示载波频率为 26.644 0 MHz 时,预失真处理前后功放输出的频谱。由采集频谱数据可见,预失真处理前后功放的上边带三阶互调失真分别为 -24.9 dBm 和 -39.9 dBm,改善了 15 dBc;下边带三阶互调失真分别为 -24.5 dBm 和 -43.5 dBm,改善了 19 dBc。预失真处理前后功放的上边带五阶互调失真分别为 -30.5 dBm 和 -44.2

dBm,改善了 13.7 dBc;下边带五阶互调失真分别为 -29.8 dBm 和 -43.2 dBm,改善了 13.4 dBc。

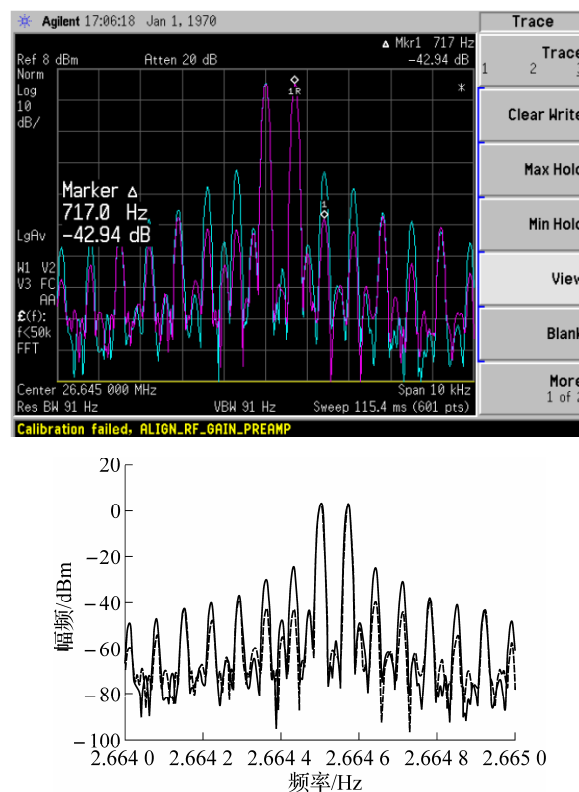


图9 预失真前后实测频谱和数据采集图

表 1 中列出了不同载波频率下,预失真前后功放输出的上边带三阶、五阶互调失真及其改善量。从表中可见,通过所设计的预失真平台后,功放的上边带三阶互调失真和五阶互调失真均得到了 13 dBc 以上的改善,提高了功放的线性度,达到了预失真效果。

表1 预失真前后不同载波频率的上边带互调失真改善

载波 频率/ MHz	预失真前互调 失真/dBm		预失真后互调 失真/dBm		互调改善/dBc	
	三阶	五阶	三阶	五阶	三阶	五阶
5.644	-33.7	-31.3	-53.8	-58.4	20.1	27.1
13.644	-24.0	-30.4	-47.8	-54.6	23.8	24.2
20.644	-28.3	-34.7	-46.8	-52.2	18.5	17.5

4 结语

本文设计并实现了一款基于片上系统的短波功放数字预失真硬件平台,其核心是 Cyclone V 芯片,将 ARM 和 FPGA 集成在 1 块芯片上,集成度高,可靠性强。可在 ARM 中运行系统,执行算法,

具有很好的可移植性、可重用性和扩展性. 阐述了平台的整体框架, 并分析了各部分的组成, 且着重介绍了模拟部分的设计. 针对实现数字预失真的流程, 提出了相对应的结构和原理, 并采用常见的查找表 LUT 模型对实物进行测试, 测试结果表明设计的硬件平台可以有效地实现短波功放的数字预失真效果.

参考文献:

- [1] 郭雅琴, 叶焱, 刘太君, 等. 基于 DSP 和 FPGA 的短波功放数字预失真算法实现[J]. 固体电子学研究进展, 2015(3):296-299.
- [2] OH K, LEE Y, KU H. Multiband wireless transmitter using nonlinear characteristics of power amplifier and harmonic tuning predistorter[C]. Microwave Symposium Digest, 2008 IEEE MTT-S International, IEEE, 2008: 17-20.
- [3] LIU T, BOUMAIZA S, GHANNOUCHI F M. Augmented hammerstein predistorter for linearization of broad-band wireless transmitters[J]. IEEE Transactions on Microwave Theory & Techniques, 2006, 54(4):1340-1349.
- [4] WOO Y Y, KIM J, YI J, et al. Adaptive digital feedback predistortion technique for linearizing power amplifiers[J]. IEEE Transactions on Microwave Theory & Techniques, 2007, 55(5):932-940.
- [5] KIM J, ROBLIN P, CHAILLOT D, et al. A generalized architecture for the frequency-selective digital predistortion linearization technique[J]. IEEE Transactions on Microwave Theory & Techniques, 2013, 61(1):596-605.
- [6] 杨德伟, 宋雪松, 王华, 等. 基于嵌入式 Linux 数字基带预失真控制系统的设计与实现[J]. 实验室研究与探索, 2014, 33(2):103-107.
- [7] MATO J L, PEREIRA M, RODRIGUEZ-ANDINA J J, et al. FPGA-based implementation of segmented predistorters for RF power amplifiers[C]. IEEE International Symposium on Industrial Electronics, 2008:1948-1952.
- [8] TEXAS INSTRUMENTS. ADS42xx 双通道、14 位/12 位、160 Msps/125 Msps/65 Msps 超低功耗 ADC[EB/OL]. [2016-12-10]. <http://www.ti.com.cn/cn/lit/ds/symlink/ads4246.pdf>.
- [9] ANALOG DEVICES. 31 MHz、双通道可编程滤波器和可变增益放大器[EB/OL]. [2016-12-15]. http://www.analog.com/media/cn/technical-documentation/data-sheets/ADRF6516_cn.pdf.
- [10] 于霄峻, 何加铭, 曾兴斌, 等. 一种新的记忆多项式预失真器[J]. 宁波大学学报(理工版), 2005, 18(4):531-533.

ARM+FPGA hardware platform design for digital pre-distortion of shortwave power amplifiers

HU Ting, LIU Tai-jun*, YE Yan, XU Gao-ming

(Faculty of Electrical Engineering & Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: As a key technology of power amplifier linearization, digital pre-distortion technology can improve the linearity of power amplifier effectively. In a bid to realize the digital pre-distortion algorithm effectively and to improve the linearity of shortwave power amplifier, a shortwave power amplifier digital pre-distortion hardware platform is designed and realized with ARM+FPGA. This platform has better portability, reusability and scalability for the system. In this paper, the system hardware framework is first described and the analog circuit is introduced. Also introduced is the digital pre-distortion scheme of shortwave power amplifier which will be used in the design. Finally, the whole platform is tested and the results show that the platform has satisfied the requirement of digital pre-distortion.

Key words: digital pre-distortion; ARM; FPGA; shortwave power amplifiers

(责任编辑 章践立)