

基于 CNFET 的三值脉冲型移位寄存器设计

康耀鹏, 汪鹏君*, 张跃军, 李 刚

(宁波大学 电路与系统研究所, 浙江 宁波 315211)

摘要: 通过对碳纳米场效应晶体管(Carbon Nanotube Field Effect Transistor, CNFET)多阈值特性和多值逻辑原理的研究, 结合移位寄存器设计方法, 提出基于 CNFET 的具有左移右移并入并出功能的三值脉冲型移位寄存器设计方案. 该方案首先利用开关信号理论和 CNFET 特性设计三值 D 触发器; 然后设计三值 T 运算电路, 并实现数据选择器逻辑功能; 最后, 在此基础上设计基于 CNFET 的三值脉冲型移位寄存器. 经实验验证, 所设计的电路输出稳定, 具有正确的逻辑功能, 且与 CMOS 低功耗移位寄存器相比, 功耗延时积(Power-Delay Product)降低 76.7%.

关键词: 三值逻辑; CNFET; 脉冲型; 移位寄存器; 低功耗

中图分类号: TP783

文献标志码: A

文章编号: 1001-5132 (2018) 01-0036-05

移位寄存器是 CPU 的重要组成部分, 它能够实现输入输出数据的串/并行转换, 完成基本的算术运算, 因此在数字集成电路设计中具有重要的作用^[1]. 传统的寄存器通常基于二值逻辑设计, 每根信号线只携带“0”和“1”2种信号, 在设计大规模集成电路时需要较多的传输线, 面积开销较大. 而多值逻辑具有多种逻辑信号, 可以提高单线携带信息的能力. 例如, 三值逻辑每根信号线能够携带“0”“1”“2”3种信号. 因此, 在处理相同信息量的数据时, 三值逻辑可以有效减少传输线的数量, 降低芯片的面积, 提高集成电路的信息密度, 且在相同时钟频率下可以使处理性能获得成倍地增加.

随着半导体技术的进步, 制造工艺不断提高, 近年特征尺寸将突破至 5 nm^[2], 特征尺寸减小的同时, 金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)将出现短沟道效应, 导致阈值电压无法完全控制沟道的开关. 而 CNFET 具有较低的漏电流、理想的亚阈值特性和近弹道传输特性^[3], 且在 5 nm 工艺下, CNFET 比 MOSFET 更易于制备^[4]. 多阈值特性使得 CNFET 比 CMOS 工艺更适合用于设计多值逻辑

电路.

三值移位寄存器由多个工作在相同时钟脉冲下的三值触发器构成. 由于设计移位寄存器所用 D 触发器的建立时间所限, 目前还没有对脉冲型移位寄存器的研究. 本文结合多值逻辑原理和 CNFET 特性设计三值脉冲型移位寄存器. 脉冲型移位寄存器只在脉冲信号内对信号产生移位效果, 移位后的信号可以维持到下个脉冲信号来临, 这降低了对移位寄存器输入信号建立时间的要求, 从而提高电路工作速度^[5].

1 CNFET

碳纳米管可以看作由石墨片卷曲而成, 石墨片的结构如图 1 所示. 以手性矢量(n_1, n_2)为参考, 若 $n_1 - n_2 = 3i$, 则碳纳米管表现为金属型, 其他时候碳纳米管表现为半导体型^[6], 其中 n_1, n_2, i 均为整数, 且 n_1, n_2 不能同时为 0. 碳纳米管的直径 D_{CNT} 计算公式如下:

$$D_{CNT} = \frac{a_0 \sqrt{3}}{\pi} \sqrt{n_1^2 + n_2^2 + n_1 n_2}, \quad (1)$$

式中, a_0 表示 2 个相邻碳原子间距离, 其值为 0.142 nm.

收稿日期: 2017-07-18.

宁波大学学报(理工版)网址: <http://journal.g.nbu.edu.cn/>

基金项目: 国家自然科学基金(61474068, 61234002); 浙江省公益性技术应用研究计划项目(2016C31078).

第一作者: 康耀鹏(1992-), 男, 浙江台州人, 在读硕士研究生, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: 1511082571@nbu.edu.cn

*通信作者: 汪鹏君(1966-), 男, 浙江奉化人, 教授, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: wangpengjun@nbu.edu.cn

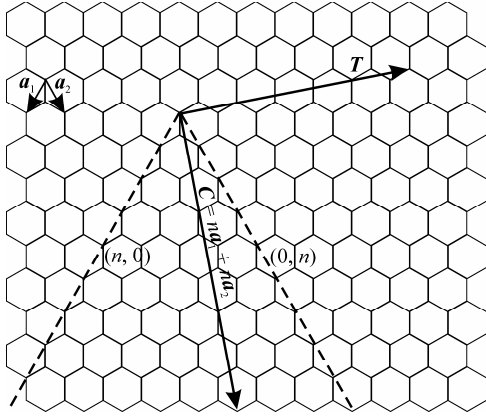


图 1 石墨烯片结构

由碳纳米管构成的场效应管如图 2 所示. 从结构上看, CNFET 与 MOSFET 类似, 它们区别在于 CNFET 中碳纳米管被置于衬底 Si 表面的一层薄薄的 SiO₂ 上, 隧道区域为不掺杂的本征碳纳米管, 其他区域则高掺杂作为源极和漏极. 与 MOSFET 类似, 根据掺杂类型不同可分为 N 型与 P 型 CNFET.

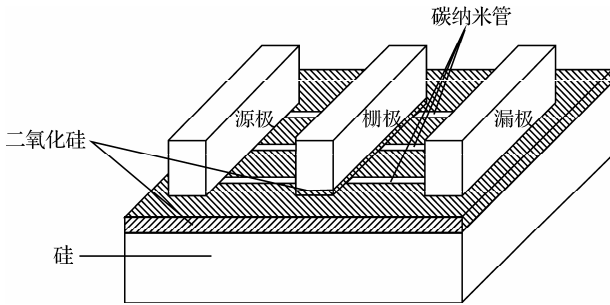


图 2 碳纳米场效应晶体管结构

由文献[7]可知, CNFET 的阈值电压与碳纳米管的直径成反比, CNFET 的阈值电压可以近似表示为:

$$V_{th} = \frac{E_g}{2e} = \frac{\sqrt{3}}{3} \frac{aV_\pi}{eD_{CNT}}, \quad (2)$$

式中, E_g 为带隙能量, $a = 2.49 \text{ \AA}$ 为 2 个相邻碳原子之间的距离; V_π 为紧束缚模型的 π - π 键能量; e 为单个电子所具有的能量; D_{CNT} 为碳纳米管的直径. 由表达式可见, 阈值电压 V_{th} 随着 D_{CNT} 的增大而减小, (n_1, n_2) 取不同的整数对就可以得到不同阈值电压的 CNFET.

2 脉冲型 D 触发器

触发器是时序电路中最基本的单元, 与门电路结合可以构成各类时序逻辑器件, 其中 D 触发

器结构相对简单. 三值脉冲型 D 触发器由脉冲信号发生器和三值 D 锁存器组成.

2.1 脉冲信号发生器设计

文献[8]所用脉冲信号发生器结构如图 3 所示.

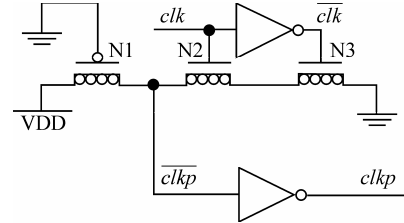


图 3 脉冲信号发生器

通过对其工作过程分析, 得到结果见表 1. 在工作时, N1 的栅极接地一直处于导通状态, 因此当 N2 和 N3 同时导通时, VDD 与地形成直流通路, 会产生较大的短路电流, 从而增加电路功耗. 其中, 由于反相器输出 $\overline{clk}$ 存在延时, 从而使得 clk 和 $\overline{clk}$ 存在短暂保持相同逻辑值的时刻, 因此电路工作时, clk 和 $\overline{clk}$ 会存在同时为逻辑值“0”或逻辑值“2”的情况.

表 1 图 3 电路真值表及各个 CNFET 的导通情况

输入		输出		CNFET 导通情况		
clk	$\overline{clk}$	$\overline{clkp}$	$clkp$	N1	N2	N3
2	0	2	0	导通	导通	截止
0	0	2	0	导通	截止	截止
0	2	2	0	导通	截止	导通
2	2	0	2	导通	导通	导通

为了避免同时导通增大电路功耗的情况, 将 N1 管的栅极接至 $\overline{clk}$ 取代接地连接, 电路结构如图 4 所示. 此时, N1 和 N3 的栅极由同一个信号控制, 故电源与地不会同时导通, 从而避免短路电流的产生降低电路功耗, 其工作过程见表 2.

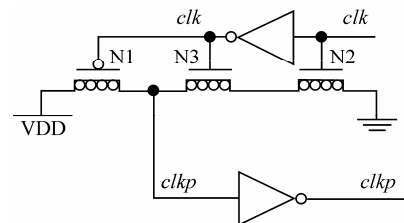


图 4 改进型脉冲信号发生器

2.2 三值 D 触发器设计

根据开关信号理论^[9], 可得 D 锁存器表达式为式(3). 结合式(3)、文字电路^[8]、三值反相器^[10]和改

表2 改进型电路真值表及各个 CNFET 的导通情况

输入		输出		CNFET 导通情况		
clk	$\overline{clk}$	$\overline{clkp}$	$clkp$	N1	N2	N3
2	0	2	0	导通	导通	截止
0	0	2	0	导通	截止	截止
0	2	2	0	截止	截止	导通
2	2	不变	不变	截止	导通	导通

进型脉冲信号发生器, 可得三值 D 触发器的电路结构及符号如图 5 所示.

$$Q' = Q * clkp^{0.5} \# 0 * (D^{0.5} \cdot {}^{1.5}clkp) \# 1 * ({}^{0.5}D \cdot D^{1.5} \cdot {}^{1.5}clkp) \# 2 * ({}^{1.5}D \cdot {}^{1.5}clkp), \quad (3)$$

式中, Q' 为锁存器的次态输出; Q 为锁存器的现态输出; D 为锁存器的输入.

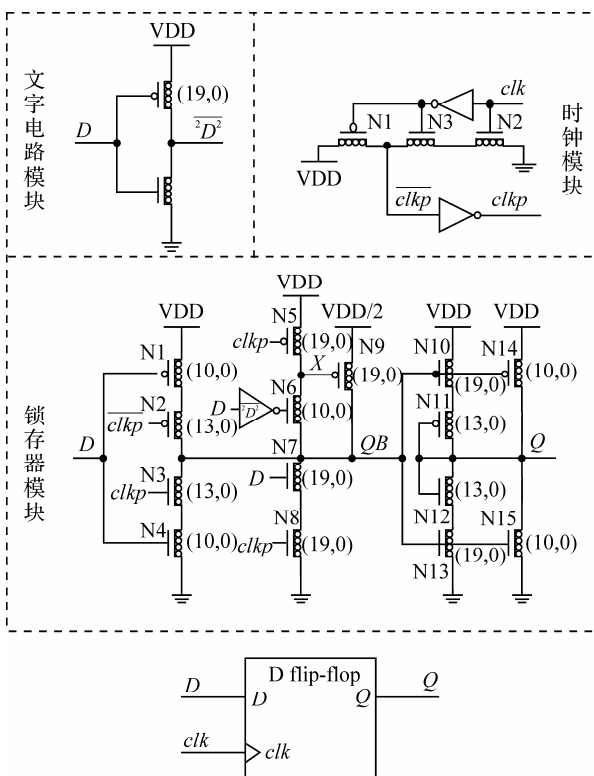


图5 三值脉冲型 D 触发器及其符号

手性矢量为(10,0), (13,0)和(19,0)的 P 型 CNFET 的阈值电压分别为 -0.557 V, -0.428 V 和 -0.293 V; 手性矢量为(10,0), (13,0), (19,0)和(32,0)的 N 型 CNFET 的阈值电压分别为 0.557 V, 0.428 V, 0.293 V 和 0.174 V. 其中, 锁存器模块中添加了反相器结构, 对电路的输出起到提高驱动能力和整形的作用, 且可以适当增加触发器的输出延时以满足移位寄存器的设计. 输入端 D 与节点 QB 之间电路的工作

过程如下: 当脉冲信号 $clkp$ 为高电平时, $\overline{clkp}$ 为低电平, 此时 N2、N3 和 N8 导通, 若输入信号 D 为逻辑值“0”, 则 N1 导通, 节点 QB 经 N1 和 N2 充电至高电平, 即逻辑值“2”; 若输入信号 D 为逻辑值“1”, 则 N6 和 N7 导通, 节点 X 放电至低电平, N9 导通, 节点 QB 充电至中间电平, 即逻辑值“1”; 若输入信号 D 为逻辑值“2”, 则 N4 导通, 节点 QB 经 N3、N4 放电至低电平, 即逻辑值“0”. 随后节点 QB 通过反相器输出信号 Q , 从而实现 D 触发器的功能.

3 三选一数据选择器设计

所设计的移位寄存器具有左移、右移、并入并出 3 种功能, 因此还需使用数据选择器来实现功能的切换. 在多值逻辑中, T 运算电路的功能与二值逻辑中的二选一数据选择器类似, 可用于设计三选一数据选择器. 设 in_1, in_2, in_3 为三选一数据选择器的输入信号, s 为选择信号, 三值 T 运算定义为:

$$T(in_1, in_2, in_3; s) = \begin{cases} in_1, & s = 0, \\ in_2, & s = 1, \\ in_3, & s = 2. \end{cases} \quad (4)$$

结合多值开关信号理论^[9], 式(4)可表示为:

$$T(in_1, in_2, in_3; s) = in_1 * s^{0.5} \# in_2 * ({}^{0.5}s \cdot s^{1.5}) \# in_3 * {}^{1.5}s. \quad (5)$$

结合式(5)和文字电路^[8]设计出三选一数据选择器结构及其电路符号如图 6 所示.

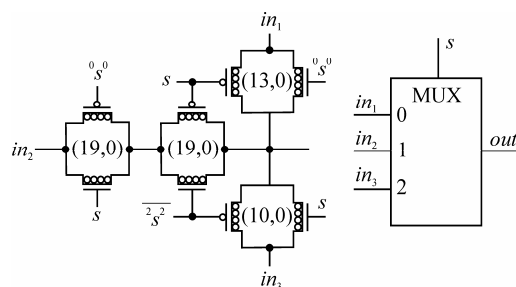


图6 三选一数据选择器结构及其电路符号

4 脉冲型移位寄存器设计

根据所设计的三值脉冲型 D 触发器和三选一数据选择器设计得到四位三值脉冲型移位寄存器, 其电路结构如图 7 所示. 其中, 脉冲信号发生器作为单独部分与移位寄存器中所有触发器相连, 从而降低硬件成本. S 为数据选择信号, D_R 为右移输

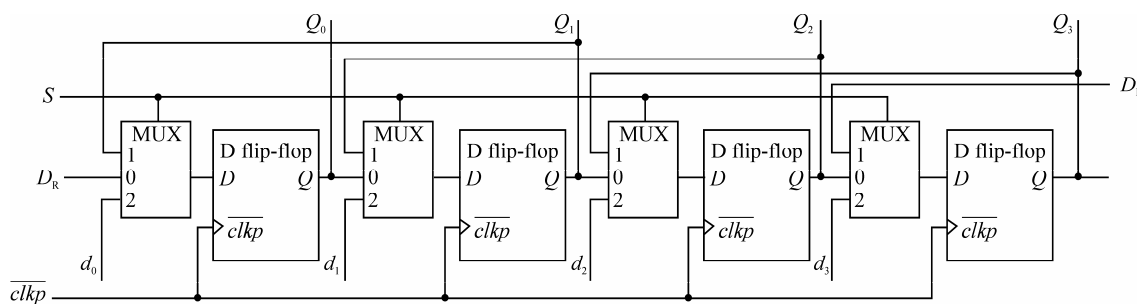


图 7 四位三值脉冲型可逆移位寄存器

入信号, D_L 为左移输入信号, d_0, d_1, d_2, d_3 为并行输入信号, Q_0, Q_1, Q_2, Q_3 为寄存器中每个触发器的输出信号。

从图 7 可见, 当选择信号 $S = 0$ 时, 选择 D_R 信号输入, 脉冲信号每来 1 次, 信号就往右移 1 位, 从而实现寄存器的右移功能; 当选择信号 $S = 1$ 时, 选择 D_L 信号输入, 脉冲信号每来 1 次, 信号就往左移 1 位, 从而实现寄存器的左移功能; 当选择信号 $S = 2$ 时, 选择并行输入信号 d_1, d_2, d_3, d_4 输入, 在脉冲到来时并行输出。综合上述分析可知, 该寄存器实现了左移、右移、并入并出的功能。

5 实验结果与分析

在 32 nm 标准模型下的 CNFET^[11], 用 HSPICE 仿真所设计的电路, 电源电压 VDD 为 0.9 V, 即逻辑“2”; 相应的 VDD/2 和 0 V 分别对应逻辑“1”和逻辑“0”。移位寄存器时钟频率为 250 MHz。仿真波形图如图 8 所示。

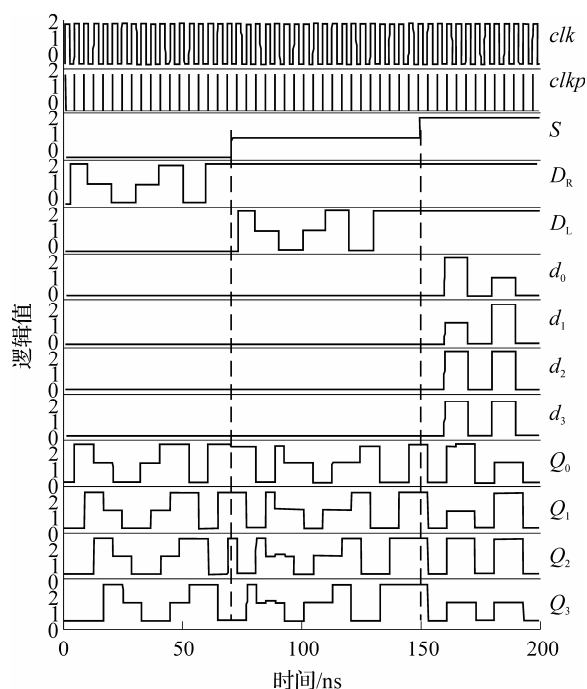


图 8 脉冲型移位寄存器的仿真波形

从图 8 可见, 当数据选择信号 $S = 0$ 时, 寄存器完成右移操作; 当数据选择信号 $S = 1$ 时, 寄存器完成左移操作; 当数据选择信号 $S = 2$ 时, 寄存器完成并入、并出操作。通过上述对波形图的分析可知, 所设计移位寄存器具有正确的逻辑功能。

将所设计的电路与基于 TSPC 触发器^[12]的 CMOS 低功耗三值移位寄存器在 32 nm CNFET 工艺库下进行延时、功耗和 PDP 的比较, 结果见表 3 和图 9 所示。通过对表 3 和图 9 的分析可知, 三值

表 3 三值移位寄存器的性能比较

项目	CMOS 低功耗移位寄存器	本文
延时/ps	0→1	35.76
	0→2	27.33
	1→0	16.55
	1→2	8.87
	2→0	35.48
	2→1	35.01
功耗/ μ W	6.68	1.24
PDP	2.40e-16	0.56e-16

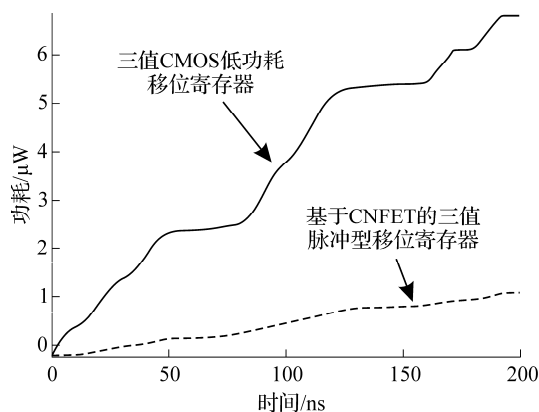


图 9 三值移位寄存器功耗比较

脉冲型移位寄存器相比于 CMOS 低功耗移位寄存器功耗降低 81.7%, PDP 降低 76.7%。因此, 所设计的电路具有更低的功耗和更好的性能。

6 结论

本文设计了一种基于 CNFET 的三值脉冲型移位寄存器, 通过开关信号理论简化电路结构, 降低电路的功耗。通过加入不同阈值电压的 CNFET 进一步优化了电路结构, 加快了电路的工作速率。此外, 本文所设计的三值移位寄存器是由脉冲信号触发, 因此它对输入信号建立时间的要求比常规的三值移位寄存器低, 且内部添加了反相器增强了电路的驱动能力, 故所设计的移位寄存器对设计更为复杂的电路结构有重要意义。

参考文献:

- [1] Schwartz D E, Ng T N. Comparison of static and dynamic printed organic shift registers[J]. IEEE Electron Device Letters, 2013, 34(2):271-273.
- [2] 王丽英. 英特尔要做芯片混搭高手, 借助 EMIB, 让 22 nm, 14 nm, 10 nm 融为一体[J]. 今日电子, 2017(5):19.
- [3] 唐伟童, 汪鹏君, 郑雪松. 基于 CNFET 的低功耗三值门电路设计[J]. 宁波大学学报(理工版), 2014, 27(3):43-49.
- [4] Qiu C, Zhang Z, Xiao M, et al. Scaling carbon nanotube complementary transistors to 5-nm gate lengths[J]. Science, 2017, 355(6322):271.
- [5] 戴燕云. 基于脉冲技术低功耗高性能触发器设计[D]. 杭州: 浙江大学, 2009.
- [6] 朱玉振. 碳纳米管场效应晶体管的制备与性能测量[D]. 北京: 北京大学, 2008.
- [7] Kim K K, Nan H, Choi K. Hybrid MOSFET/CNFET based power gating structure[C]. IEEE SOC Conference, 2010:334-338.
- [8] 王谦, 汪鹏君, 龚道辉. 基于 CNFET 的三值脉冲式 D 触发器设计[J]. 宁波大学学报(理工版), 2016, 29(1):37-41.
- [9] 吴训威. 多值逻辑电路设计原理[M]. 杭州: 杭州大学出版社, 1994:1-383.
- [10] Lin S, Kim Y B, Lombardi F. CNTFET-Based design of ternary logic gates and arithmetic circuits[J]. IEEE Transactions on Nanotechnology, 2011, 10(2):217-225.
- [11] Stanford nanoelectronics lab. Stanford CNFET model and Schottky barrier CNFET model[EB/OL]. [2015-12-18]. <http://nano.stanford.edu/model.php?id=23>.
- [12] Rabaey J M, Chandrakasan A, Nikolic B. 数字集成电路——电路、系统与设计[M]. 2 版. 周润德, 译. 北京: 电子工业出版社, 2004:1-553.

A design of ternary CNFET pulsed shift register

KANG Yao-peng, WANG Peng-jun*, ZHANG Yue-jun, LI Gang
(Institute of Circuits and Systems, Ningbo University, Ningbo 315211, China)

Abstract: Based on the investigation of multi-threshold properties of CNFET and multiple valued logic circuits, and by applying the design method of shift register, a design of CNFET-based ternary pulse shift register is proposed, which is capable of both left shift and right shift, as well as input and output in parallel. Firstly, by using the switch-signal theory and the properties of CNFET, the three-valued D flip-flop is designed. Then, the T operational circuit is designed to achieve the function of multiplexer. Lastly, the 4-bit ternary shift register is formulated. Computer simulations using HSPICE verify that the designed circuit operates with correct logic and stable output. Moreover, compared with the CMOS low power shift register, PDP of the designed circuit decreases by about 76.7%.

Key words: three-valued logic; CNFET; pulse; shift register; low power

(责任编辑 章踐立)