

可逆双边沿触发器的设计

张莹, 王伦耀*, 夏银水

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 提出了一种可逆双边沿 D 触发器的设计方法, 该方法利用 Feynman 可逆逻辑门的信号复制特性, 实现可逆 D 锁存器的设计. 然后利用双边沿触发器原理, 结合 D 可逆锁存器以及 Fredkin 和 Modified Fredkin 可逆逻辑门的数据选择功能, 实现可逆双边沿触发器的设计. 同时, 利用 Verilog 硬件描述语言对提出的可逆双边沿 D 触发器的功能进行了描述. 与已有的可逆触发器相比, 在相同数据传输速率下, 本文设计的双边沿触发器具有结构简单、垃圾位和常量输入少、量子代价更低的特点.

关键词: 可逆逻辑; 双边沿触发; D 锁存器; 量子代价

中图分类号: TP302.2

文献标志码: A

文章编号: 1001-5132 (2018) 05-0045-06

随着集成电路规模的日益增大, 能耗问题成为制约其发展的因素之一. 传统电路中的不可逆操作是造成电路发热的重要原因^[1]. 研究表明^[2], 对于不可逆计算, 每一个信息位的丢失都会产生 $KT \times \ln 2$ 焦的热量, 其中 K 是玻尔兹曼常量, T 是绝对温度. 量子可逆逻辑门都是可逆的, 在理想情况下不存在信息位的丢失, 不产生热量的损耗. 因此, 可逆逻辑在低功耗电路设计和量子信息技术研究中有广泛的发展前景.

目前, 针对可逆逻辑电路的研究设计有很多, 但大部分研究是关于可逆组合逻辑电路的设计方法^[3-6], 关于可逆时序逻辑电路的研究较少. 文献[7]提出了 RS 触发器、JK 触发器、D 触发器、T 触发器以及 JK 主从触发器的设计方法. 文献[8]提出了四位下降沿触发加/减计数器和四位下降沿触发通用寄存器. 文献[9]增加了对时延因素的考虑, 并设计了各种锁存器. 现有的可逆时序电路的设计, 可以实现满足具体功能要求的可逆时序电路, 但电路的优化指标考虑不全面.

本文利用 Feynman 可逆逻辑门具有的信号复制特性, 实现可逆锁存器; 同时利用双边沿触发器

原理, 结合可逆锁存器以及 Fredkin 和 Modified Fredkin 门的选择功能, 实现可逆双边沿触发器的设计. 并在同一数据吞吐量情况下, 以常量输入、垃圾位数和量子代价^[10] 3 个性能指标将本文的 2 种可逆双边沿触发器与文献[13-14]中的触发器进行比较.

1 基本可逆逻辑门及可逆锁存器设计

可逆逻辑网络由基本的可逆逻辑门构成. 不同于传统的逻辑网络, 可逆逻辑要求可逆逻辑网络的输入与输出存在一一对应的关系. 因此可逆门及可逆门组成的可逆网络的输入数与输出数一定相等.

1.1 可逆逻辑门

可逆逻辑网络中常用的可逆逻辑门主要有 NOT 门、Feynman 门、Swap 门、Fredkin 门和 n Toffoli 门等. 本文在实现可逆双边沿触发器的设计过程中, 主要使用的可逆逻辑门有 Fredkin 门、Modified Fredkin 门和 Feynman 门.

Fredkin 门(简称 F 门)是三输入输出可逆门, 如图 1 所示, 其中 A 为控制位, B 、 C 为目标位. 由目

收稿日期: 2017-12-18.

宁波大学学报(理工版) 网址: <http://journalg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61471211).

第一作者: 张莹(1992-), 女, 安徽安庆人, 在读硕士研究生, 主要研究方向: 可逆逻辑综合. E-mail: 1611082706@nbu.edu.cn

*通信作者: 王伦耀(1972-), 男, 浙江宁波人, 教授, 主要研究方向: 逻辑综合与优化. E-mail: wanglun Yao@nbu.edu.cn

标输出的逻辑功能可知, 当 A 为 1 时, 控制位 A 输出不变, 目标位 B 、 C 的输出交换; 当 A 为 0 时, 控制位 A 和目标位 B 、 C 均不发生变化. F 门的量子代价为 5.

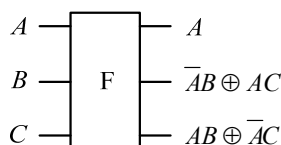


图1 Fredkin 门

Modified Fredkin 门(简称 MF 门)是三输入输出门, 如图 2 所示, 其中 A 为控制位, B 、 C 为目标位. 由目标输出的逻辑功能可知, 当 A 为 1 时, 控制位 A 输出不变, 目标位 B 、 C 的输出交换, 并对目标位 C 取反; 当 A 为 0 时, 控制位 A 和目标位 B 、 C 均不改变. MF 门的量子代价为 4.

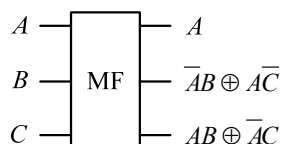


图2 Modified Fredkin 门

Feynman 门(简称 FG 门)是二输入输出可逆门, 如图 3 所示, 其中 A 为控制位, B 为目标位. 由目标输出的逻辑功能可知, 当 A 为 1 时, 控制位 A 输出不变, 目标位 B 取反; 当 A 为 0 时, 控制位和目标位的输出均不发生变化. Feynman 门常用来对信号位进行取反和复制操作. 当 Feynman 门的目标位输入为 0 时, 实现对控制位输出信号的复制操作; 当 Feynman 门的目标位输入为 1 时, 实现对控制位输出信号的取反操作. FG 门的量子代价为 1.

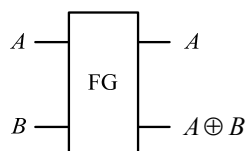


图3 Feynman 门

1.2 可逆逻辑电路的性能描述

与传统数字电路相类似, 可逆逻辑电路也有相应的衡量电路性能的指标. 目前使用比较多的衡量电路性能的指标有垃圾位数、常量输入和量子代价. 垃圾位指电路中除期望输出之外的输出位, 垃圾位通常是不可避免的. 另外, 为了保持可逆电

路网络的可逆性, 使输入输出数相等, 经常需要添加常量输入. 垃圾位和常量输入都是可逆电路网络中的无用位. 量子代价是衡量可逆逻辑电路性能优劣的另一个关键指标. 量子代价指将可逆逻辑电路变换为量子电路所需的基本量子门的数量.

1.3 可逆锁存器的设计

由图 3 的 FG 门功能可知, 当目标位 B 的输入为 0 时, 目标位输出就等于 A , 即实现了对 A 的复制操作. 而锁存器的功能是在控制信号作用下保持输出不变, 数学描述可以表示为:

$$f(t) = f(t + \Delta t) \Big|_{\Delta t \neq 0}, \quad (1)$$

式中: f 为锁存器的输出.

锁存器具有如式(1)所示的特性, 可利用 FG 门具有的复制功能实现, 对应的电路结构如图 4 所示. 图 4 电路由 FG 门和可逆控制电路两部分组成, 其中 FG 门的目标位输入为 0, 因此 FG 门可实现对输出 Q 的复制. 而可逆控制电路在信号 C 作用下, 实现 $Q = Q'$ 或 $Q \neq Q'$. 当 $Q = Q'$ 时, 实现对 Q 的存储; 而 $Q \neq Q'$ 时, 则实现对待锁存信号的更新. 可逆控制电路中 Z 和 Z' 为其他的输入输出信号组合.

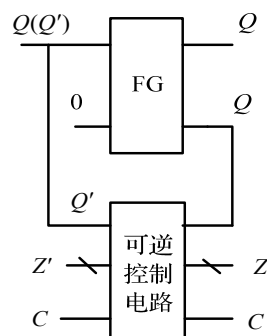
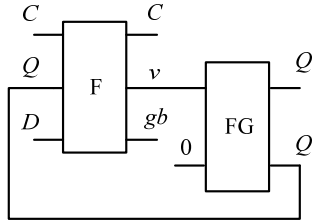


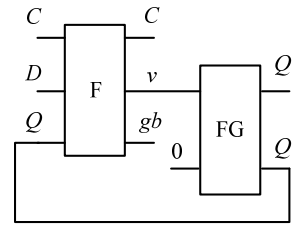
图4 用 Feynman 门实现的可逆锁存器原理图

基于图 4 结构, 并且用 F 门替换可逆控制部分, 得到图 5 所示的可逆 D 锁存器结构^[11], 其中图 5(a)为高电平触发的 D 锁存器, 图 5(b)为低电平触发的 D 锁存器. 以图 5(a)高电平触发的 D 锁存器为例, 图中 FG 门处于复制功能状态, 两个输出端均为 FG 门的另一个输入值, 即 $Q = v$. F 门的控制信号为 C , 当 $C = 0$ 时, F 门的输出保持不变, 即 $C = C$; $v = Q$, $gb = D$. 由于存在 $v = Q$, 因此, 当 $C = 0$ 时, 通过 FG 门的复制功能使电路输出与输入之间构成一个环路, 实现了对数据 Q 的锁存. 当 $C = 1$ 时, F 门处于数据交换状态. 此时, F 门输出 $v = D$,

$gb = Q$, 而 FG 门的输出均为 D , 实现对待锁存信号的更新. 由于锁存信号的更新发生在 C 的高电平, 因此为高电平触发锁存器.



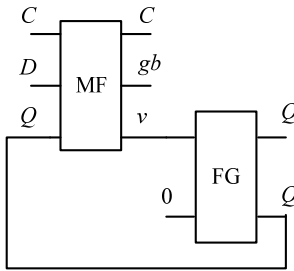
(a) 高电平触发可逆 D 锁存器



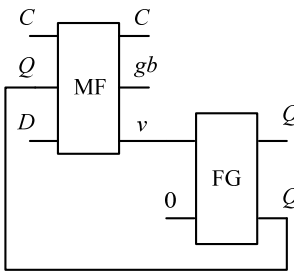
(b) 低电平触发可逆 D 锁存器

图 5 基于 Fredkin 门的电平触发可逆 D 锁存器

由于量子代价是衡量可逆逻辑电路性能的一个重要指标, 因此, 通过用量子代价更小的可逆逻辑门实现可逆逻辑功能是提高可逆逻辑电路性能的一个重要手段. 在文献[12]中, 利用量子代价更小的 Modified Fredkin 门替代图 5 中的 Fredkin 门, 得到了量子代价更小的电平触发可逆 D 触发器, 如图 6 所示.



(a) 高电平触发可逆 D 锁存器



(b) 低电平触发可逆 D 锁存器

图 6 基于 Modified Fredkin 门的电平触发可逆 D 锁存器

2 可逆双边沿触发器的设计

双边沿触发技术可以在时钟的上升沿和下降沿两个边沿采样. 因此, 双边沿触发器可以在一个时钟周期内采样和接收两个数据值. 与单边沿触发器相比, 在相同的时钟频率下, 双边沿触发器的数据处理速度增加一倍; 或者在保持相同数据处理速度的条件下, 双边沿触发器的时钟频率可以降低到单边沿触发器时钟频率的一半. 这使得双边沿触发器在单位数据处理上功耗和电路面积具有优势.

双边沿触发器可以理解为两个在不同时钟电平实现数据锁存的锁存器与受时钟控制的一个数据选择器的组合, 其原理如图 7 所示. 图 7 中锁存器 L_1 为低电平触发, 锁存器 L_2 为高电平触发. 当时钟信号 C 为 1 时, 锁存器 L_1 处于锁存状态, 锁存器 L_2 处于数据输入状态; 而当时钟信号 C 为 0 时, 锁存器 L_2 处于锁存状态, 锁存器 L_1 处于数据输入状态. 所以, 两个锁存器在时钟信号 C 的作用下并行工作, 交替处于输入状态和锁存状态. 同时, 数据选择器 MUX 在时钟信号 C 的控制作用下, 将两个锁存器中处于锁存状态的数据交替输出. 由于在时钟信号发生跳变时, 如高电平变成低电平, 数据选择器 MUX 输出的数据为 L_2 在 C 从高电平变成低电平时存储的数据, 因此, 图 7 结构具有边沿触发功能, 即实现双边沿触发器的功能.

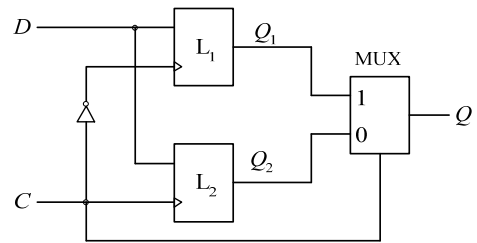


图 7 双边沿触发器原理图

利用双边沿触发器原理结合可逆 D 锁存器和 Fredkin 门的数据选择特性可以实现双边沿可逆 D 触发器.

图 8 为双边沿触发的可逆 D 触发器. 由于可逆逻辑电路中不允许存在扇出操作, 为了实现输入信号 D 分别对两个可逆 D 锁存器进行输入, Feynman 门 FG1 利用了 Feynman 门的复制功能实现了对输入信号 D 的复制. 图 8 中 L_1 和 L_2 分别为

两个可逆 D 锁存器, 其中 L_1 为低电平触发, L_2 为高电平触发, 触发信号为 C . Fredkin 门 $F6$ 起到数据选择器的作用.

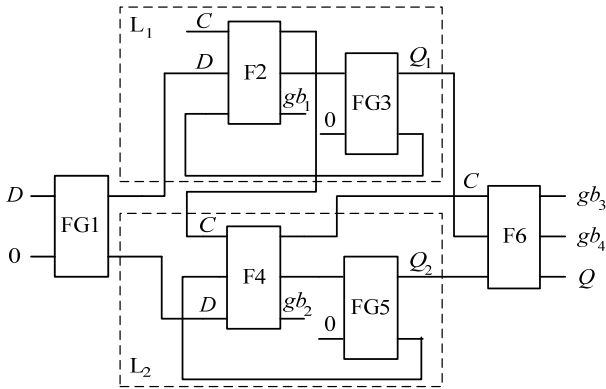


图8 基于 Fredkin 门的可逆双边沿 D 触发器

在时钟信号 C 作用下, 该可逆双边沿 D 触发器的工作过程为: (1)当 $C = 0$ 时, 锁存器 L_1 处于接受数据状态, 并有 $Q_1 = D$, 锁存器 L_2 处于数据锁存状态. 起到数据选择器作用的 $F6$ 的输出 $Q = Q_2$. 由于 Q_2 来自于处于锁存状态的 L_2 , 因此, 此时输入信号 D 的变化不会影响输出. (2)当 C 发生 0 到 1 的跳变时, C 发生上边沿跳变前时刻的数据就被锁存在锁存器 L_1 中, 同时 L_1 由接受数据状态变成数据锁存状态, 而 L_2 由数据锁存状态变成接受数据状态. 考虑到 $C = 1$ 时 $F6$ 的输出为 $Q = Q_1$, 即完成了上边沿的触发. (3)当 $C = 1$ 时, 锁存器 L_2 处于数据更新状态, L_1 处于数据锁存状态, $F6$ 的输出为 L_1 锁存的数据, 此时输入 D 的变化不会影响输出. (4)当 C 发生 1 到 0 的跳变时, C 发生下边沿跳变前时刻的数据被锁存在锁存器 L_2 中, 同时 L_2 由接受数据状态变成数据锁存状态, 而 L_1 由数据锁存状态变成数据更新状态. 考虑到 $C = 0$ 时 $F6$ 的输出为 $Q = Q_2$, 即完成了下边沿的触发.

由此可见, 两个可逆锁存器在时钟信号作用下交替处于接受数据状态和锁存状态, 且被锁存的数据就是时钟信号发生跳变前时刻的输入数据. 另外, 数据选择器的输出在时钟作用下处于被锁存状态的数据, 从而实现双边沿触发器的功能.

上述基于 Fredkin 门和 Feynman 门的可逆双边沿触发器, 使用了 3 个 Feynman 门, 3 个 Fredkin 门, 量子代价为 18. 通过 1.1 节对 Modified Fredkin 门的功能分析可知, Modified Fredkin 门的第二个目

标位输出同样具有对两个目标输入位选择输出的功能, 故 Modified Fredkin 门同样可构成可逆 D 锁存器, 同时也可以实现数据选择器的功能. 由于 Fredkin 门的量子代价为 5, 而 Modified Fredkin 门的量子代价为 4, 故上述可逆双边沿触发器中的 Fredkin 门均可替换为 Modified Fredkin 门, 可实现量子代价更小的可逆双边沿触发器的设计, 具体结构如图 9 所示. 基于 Modified Fredkin 门和 Feynman 门的可逆双边沿 D 触发器, 使用了 3 个 Modified Fredkin 门, 3 个 Feynman 门, 量子代价为 15.

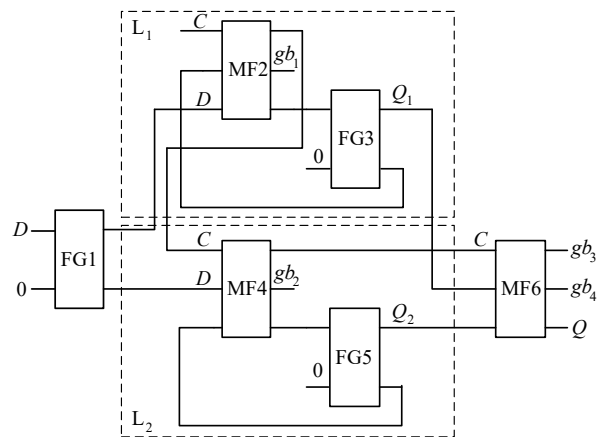


图9 基于 Modified Fredkin 门的可逆双边沿触发器

3 对比分析

可逆逻辑电路中, 量子代价、垃圾位数、常量输入作为目前常用的性能评价指标, 而其余性能指标, 则需要根据实际设计要求作为辅助性能指标对电路的性能进行评价. 本文采用量子代价、垃圾位数和常量输入这 3 个主要的性能指标将本文设计的可逆双边沿触发器与文献[13-14]中的触发器进行比较.

在相同的时钟频率下, 双边沿触发器的数据处理速度较单边沿触发器增加一倍, 即双边沿触发器的数据处理速度, 等同于两个不同时钟边沿触发的单边沿触发器同时工作时的数据处理速度. 文献[13]中的单边沿可逆触发器使用了 4 个 Fredkin 门和 3 个 Feynman 门, 量子代价为 23, 垃圾位数为 10, 常量输入位数为 7. 在相同的时钟频率下, 若要数据处理速度相同, 则需采用两个单边沿触发器同时工作, 则电路中共有 8 个 Fredkin 门和 6 个 Feynman 门, 量子代价为 46, 垃圾位数为 20, 常量

输入位数为 14.

文献[14]中提出的可测试性的可逆双边沿触发器, 使用两个测试向量(全 0 和全 1)对电路中的固定型故障进行测试. 经过计算, 文献[14]中构造的可逆双边沿触发器共使用了 6 个 Fredkin 门, 量子代价为 30, 产生了 7 个垃圾位, 使用了 6 个常量输入位.

本文中电路 1 设计的可逆双边沿触发器, 使用了 4 个 Feynman 门, 2 个 Fredkin 门, 量子代价为 18, 垃圾位数为 4, 常量输入位数为 3. 与文献[13]中工作在不同边沿的两个单边沿触发器, 以及文献[14]中的双边沿触发器比较, 性能均有明显改善. 量子代价较文献[13]减少了 61%, 较文献[14]减少了 40%; 垃圾位较文献[13]减少了 80%, 较文献[14]减少了 43%; 常量输入较文献[13]减少了 79%, 较文献[14]减少了 50%.

本文中电路 2 设计的可逆双边沿触发器, 在电路 1 的基础上, 将可逆逻辑电路中的 Fredkin 门替换为量子代价更小的 Modified Fredkin 门, 垃圾位数和常量输入位数与电路 1 保持不变, 但量子代价减小为 15. 电路 2 设计的双边沿触发器的性能有了进一步的改善.

表 1 为本文设计的两种可逆双边沿触发器与文献[13]的两个不同时钟边沿触发的单边沿触发器, 以及文献[14]中的可逆双边沿触发器, 在实现相同数据传输速度的情况下各种性能的比较. 本文采用 Verilog 硬件描述语言对上述各电路的功能进行了描述, 并用 ActiveHDL 软件对电路的功能进行了仿真, 仿真结果如图 10 所示.

表 1 可逆触发器性能比较

可逆电路	文献[13]	文献[14]	本文方案	
性能指标	单边沿	双边沿	电路 1	电路 2
量子代价	46	30	18	15
垃圾位数	20	7	4	4
常量输入	14	6	3	3

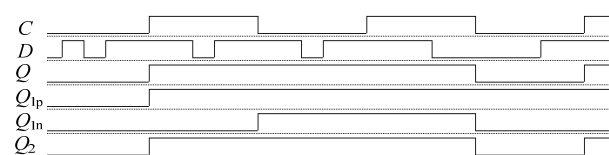


图 10 可逆触发器仿真波形比较

图 10 中 C 为时钟信号, D 为输入数据信号, Q 为本文设计的双边沿触发器输出, 垃圾位的信号没有在图 10 中显示; Q_{1p} 和 Q_{1n} 为文献[13]中单边沿触发器分别工作在时钟信号上升沿和下降沿得到的输出; Q_2 为文献[14]中的双边沿触发器的输出.

从图 10 可知, Q 的值等于 C 跳变沿对应的 D 的值, 且输入信号 D 在 C 的高电平或低电平时期的翻转不会影响电路的输出, 由此可以判断被测电路具有双边沿触发的功能. 文献[13]中的触发器, 在同一时钟周期内, 上升沿选择上升沿触发的触发器输出 Q_{1p} 输出, 下降沿选择下降沿触发的触发器 Q_{1n} 输出, 且 Q 的波形与 Q_{1p} 和 Q_{1n} 的关系满足 $Q = CQ_{1p} + \bar{C}Q_{1n}$, 故两个不同时钟边沿触发的单边沿触发器同时工作与双边沿触发器的功能相同. 文献[14]的输出 Q_2 波形与本文双边沿触发器的输出 Q 波形相同, 即功能相同.

4 结论

本文提出了一种可逆双边沿触发器的设计方法, 分析了电路的性能指标并对其功能进行了仿真. 可逆双沿触发器对时钟的上升沿和下降沿均敏感, 在一个时钟周期内可采样两个数据. 经过对比发现, 本文提出的可逆双边沿触发器的设计方法简单, 实现可逆逻辑电路的结构简单、量子代价小、输出垃圾位少、整体的性能指标更优.

参考文献:

- [1] Bennett C H. Notes on Landauer's principle, reversible computation, and Maxwell's demon[J]. Studies in History & Philosophy of Modern Physics, 2002, 34(3):501-510.
- [2] Landauer R. Irreversibility and heat generation in the computing process[J]. IBM Journal of Research and Development, 1961, 5(3):183-191.
- [3] 冯冉. 可逆逻辑电路综合方法研究[D]. 南京: 南京航空航天大学, 2011.
- [4] Mahammad S N, Veezhinathan K. Constructing online testable circuits using reversible logic[J]. IEEE Transactions on Instrumentation & Measurement, 2010, 59(1):101-109.
- [5] Ni L H, Guan Z J, Zhu W Y. A general method of constructing the reversible full-adder[EB/OL]. [2017-10-08]. <https://ieeexplore.ieee.org/document/5453638/>.
- [6] 管致锦, 秦小麟, 陶涛. 可逆逻辑门网络的表示与级联

- [J]. 电子学报, 2010, 38(10):2370-2376.
- [7] Thapliyal H, Srinivas M B, Zvolinski M. A beginning in the reversible logic synthesis of sequential circuits [EB/OL]. <https://eprints.soton.ac.uk/id/eprint/381081>.
- [8] Khan M H A, Rice J E. Improved synthesis of reversible sequential circuits[EB/OL]. [2017-10-08]. <https://ieeexplore.ieee.org/document/7539044/?arnumber=7539044>.
- [9] Thapliyal H, Ranganathan N. Design of reversible latches optimized for quantum cost, delay and garbage outputs [EB/OL]. [2017-10-08]. <https://ieeexplore.ieee.org/document/5401321/>.
- [10] Hung W N N, Song X, Yang G, et al. Optimal synthesis of multiple output Boolean functions using a set of quantum gates by symbolic reachability analysis[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(9):1652-1663.
- [11] Thapliyal H, Zvolinski M. Reversible logic to cryptographic hardware: A new paradigm[EB/OL]. [2017-10-08]. <https://ieeexplore.ieee.org/document/4267144/>.
- [12] Singh P L, Majumder A, Chowdhury B, et al. Reducing delay and quantum cost in the novel design of reversible memory elements[J]. Procedia Computer Science, 2015, 57:189-198.
- [13] Rohini H, Rajashekar S, Kumar P. Design of basic sequential circuits using reversible logic[EB/OL]. [2017-10-08]. <https://ieeexplore.ieee.org/document/7755062/>.
- [14] Thapliyal H, Ranganathan N, Kotiyal S. Design of testable reversible sequential circuits[J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(7):1201-1209.

Design of reversible double-edge flip-flops

ZHANG Ying, WANG Lun-yao^{*}, XIA Yin-shui

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: Using the reversible D-latch, a design of the reversible double-edge flip-flops based on the principle of double-edge flip-flop is proposed. The reversible D-latch is designed based on taking advantage of the signal replication properties of the Feynman reversible logic gate. The Fredkin reversible logic gate is employed to select and output the data stored in the D-latch in the design. Furthermore, the Verilog hardware description language is used to model the behaviors of the reversible logic gates, and to verify the function of the proposed reversible double-edge D flip-flops. Compared with the existing reversible flip-flops, the proposed design has a more compact structure, less ancilla bits, and lower quantum cost under the same data transmission rate.

Key words: reversible logic; double-edge flip-flops; D latch; quantum cost

(责任编辑 史小丽)