

基于可满足性模理论的 CMOL 电路单元映射

金俊杰, 储著飞*, 王伦耀, 夏银水

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 针对纳米 CMOS 混合电路(CMOL)单元映射时, 传统的精确算法存在编码变量多、文件存储大导致的求解规模受限问题, 提出了一种基于可满足性模理论(SMT)的 CMOL 电路单元映射方法, 该方法通过整型编码减小文件存储大小, 通过渐进式求解算法兼顾求解规模和速度. 实验结果表明, 与传统的精确算法相比, 本文提出的方法可大幅减少中间处理文件的大小, 并以较小的求解速度为代价提高了处理大规模电路的能力.

关键词: CMOL 电路; 单元映射; 精确算法

中图分类号: TP391

文献标志码: A

文章编号: 1001-5132 (2018) 06-0007-05

随着集成电路线宽的不断缩小, 当前的硅基微电子技术面临着生产成本剧增、量子效应日益严重等难以克服的挑战. 为了解决这一问题, 研究人员提出了单电子器件、自旋器件等后 CMOS 时代新技术来延续“摩尔定律”. 其中, Likharev 等^[1]提出的结合纳米技术和传统 CMOS 工艺的 CMOS/纳米线/分子混合(CMOS/nanowire/MOLecular hybrid, CMOL)结构, 由于既兼容成熟的 CMOS 工艺, 又具有纳米线高密度的特点, 引起了众多研究者的广泛关注.

将网表级电路映射到 CMOL 单元上是 CMOL 电路实现逻辑运算的重要步骤, 本文针对这一问题开展研究. 目前已知的 CMOL 电路单元映射方法主要有: 基于逻辑簇的方法^[2]、启发式算法^[3-6]和精确算法^[7-8].

精确算法将 CMOL 单元映射问题描述为可满足性问题, 通过将映射过程中应满足的要求编码为约束项, 求满足这些项的解, 得到最终的映射结果. 文献[7-8]分别利用布尔可满足性(Boolean Satisfiability, SAT)以及伪布尔可满足性(Pseudo-Boolean Satisfiability, PBS)求映射解, 编码时使用布尔变量, 以合取范式(Conjunctive Normal Form, CNF)和伪布尔约束(Pseudo-Boolean, PB)表示映射约束,

该方法变量过多, 且中间处理文件过大, 无法处理大规模电路. 针对这一问题, 本文提出了基于可满足性模理论(Satisfiability Module Theories, SMT)^[9]的渐进式映射方法, 主要包括: (1)编码时采用整型变量, 减少为每个逻辑门设置的变量数目, 简化约束项的表示; (2)通过渐进式求解, 减少求解器每次求解过程中所需处理的约束项个数, 并缩小变量的取值范围. 实验结果表明, 与文献[8]相比, 本文提出的方法极大地减少了编码过程中所需的变量个数, 同时进一步减小了中间处理文件的大小, 并且能够处理更大规模的电路.

1 背景

1.1 CMOL 电路结构

图 1 为 CMOL 电路结构剖面图. CMOL 电路由纳米线、纳米二极管、触点和 CMOS 栈组成. 两层纳米线互相垂直, 并通过纳米二极管相连. 当纳米二极管激活时, 信号可以从一根纳米线传输到另

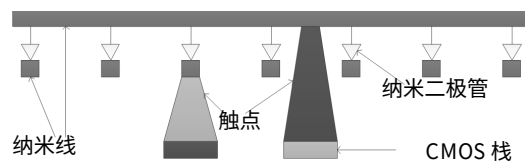


图 1 CMOL 电路结构剖面

收稿日期: 2018-04-12.

宁波大学学报(理工版) 网址: <http://journalg.nbu.edu.cn/>

基金项目: 国家自然科学基金 (61501268, 61471211, 61571248) .

第一作者: 金俊杰 (1991-), 男, 安徽安庆人, 在读硕士研究生, 主要研究方向: 集成电路设计自动化. E-mail: 983879593@qq.com

*通信作者: 储著飞 (1986-), 男, 安徽潜山人, 副教授, 主要研究方向: 集成电路设计自动化. E-mail: chuzhufei@nbu.edu.cn

一根纳米线上. 纳米线通过触点与 CMOS 栈相连, 触点在 CMOS 栈上, 并分布于整个 CMOL 电路中.

图 2 为 CMOL FPGA 结构. 纳米线以一定长度周期性断开, 且纳米线网格相对于触点网格有一个很小的倾角^[3], 因此每个 CMOS 单元只能与周围 $M = 2r(r-1)$ 个单元直接相连, 其中 r 为连通半径. 这 M 个 CMOS 单元构成该单元的连通域. 设 A、B 两个 CMOS 单元的坐标分别为 (x_1, y_1) 和 (x_2, y_2) , 则其曼哈顿距离为 $d = |x_1 - x_2| + |y_1 - y_2|$, 若 $d \leq r$, 则 A、B 位于彼此的连通域内. 图 2 中 $r=3$, 阴影部分为单元 A 的连通域.

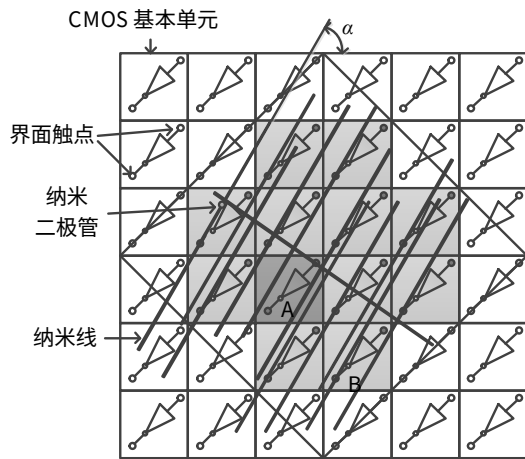


图 2 CMOL FPGA 结构

CMOL FPGA 中, 纳米线实现逻辑“或”, CMOS 单元实现逻辑“非”, 因此 CMOL FPGA 的基本逻辑功能为“或非/非”. 图 3 为在 CMOL FPGA 中实现 $F = \overline{A+B}$ 的示意图.

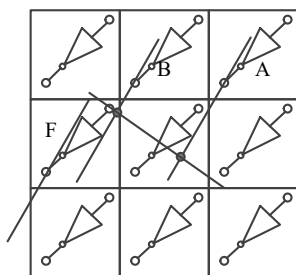


图 3 在 CMOL FPGA 中实现 $F = \overline{A+B}$

1.2 可满足性方法

SAT、PBS 和 SMT 都是约束可满足性问题 (Constraint Satisfaction Problem, CSP^[9]). SAT 要求约束中的变量为布尔变量, 且约束应以合取范式的形式给出. 如果存在一组变量的值使得给出的表达式为真, 则称这个表达式是可满足的, 否则这

个表达式是不可满足的. 如对下面 2 个表达式:

$$(x \vee \neg y) \wedge (\neg x \vee y), \quad (1)$$

$$(x \vee \neg y) \wedge (\neg x \vee y) \wedge (\neg x \vee \neg y) \wedge (x \vee y), \quad (2)$$

当 $x=1, y=1$ 时, 式(1)值为真, 因此式(1)是可满足的, 而式(2)是不可满足的, 因为不存在一组 x, y 值使式(2)为真.

PBS 可表示为 PB 约束的合取, 其中 PB 约束为:

$$\sum_i a_i l_i \otimes b, \quad (3)$$

其中: a_i 和 b 为整数; l_i 为布尔变量; “ $\otimes$ ”为关系操作符, 可表示 “=” “>” “ $\geq$ ” “<” “ $\leq$ ”^[8]. 例如:

$$F(x_1, x_2) = (2x_1 - x_2 \geq 1) \wedge (x_1 + x_2 \leq 1). \quad (4)$$

与 SAT 和 PBS 相比, SMT 采用更富有表现力的逻辑形式, 如采用一阶逻辑描述可满足性问题. 一阶逻辑表达式由逻辑连接、变量、量词、函数以及谓词符号组成. 使逻辑表达式为真的变量、函数、谓词符号的解称为模型^[9]. 一个简单的采用 SMT LIB 2.0 扩展格式描述的 SMT 例子如下:

```
(declare-const x Int)
(assert(=(div x 2) 0))
(assert-soft(> x 5))
(check-sat)
(get-model)
```

其中第 1 行声明了 1 个整型变量 x ; 第 2 行约束要求 $x/2=0$; 第 3 行约束要求 $x>5$; 第 4 行执行求解过程, 检查所有约束是否能被满足, 若满足返回一组可行解, 否则断定不满足. 其中关键字 “assert” 表示该约束必须被满足, “assert-soft” 表示该约束应尽可能被满足.

1.3 求解器

使用 Z3, 当前最先进的一种 SMT 求解器^[10], 并采用渐进式求解方法. 相对于让求解器一次性求解超大规模问题, 渐进式求解在每一次迭代过程中解决中小规模子问题, 可以兼顾求解的质量和速度, 已被广泛用于工程问题求解^[11-13].

2 CMOL 单元映射问题的 SMT 描述

2.1 基于 SMT 的 CMOL 单元映射

由于 CMOL 电路只能实现“或非/非”逻辑功能, 因此首先需将由“与/或/非”逻辑构成的电路转换为由“或非/非”门组成的电路. 可以借助逻辑

综合工具的技术映射功能, 或者利用德摩根律实现变换。

假设 CMOL FPGA 的行数为 R , 列数为 L . 令 C 表示其上单元的集合, $\|C\|$ 表示单元总数, $K=(G \times E)$ 表示给定的电路, 其中 G 表示“或非/非”门的集合, $\|G\|$ 表示电路中门的个数, $E=G \times G$ 表示电路中边的集合. 设 g_i 表示电路中第 i 个门, g_i^x 和 g_i^y 分别表示 g_i 映射到 CMOL FPGA 上后所在单元的横坐标和纵坐标。

CMOL 单元映射问题就是寻找一种网表电路到 CMOL FPGA 阵列的映射, 即

$$P: K \rightarrow C,$$

且满足以下 4 个基本约束: (1) 电路的原始输入/输出应映射到 CMOL FPGA 的四周; (2) 每个逻辑门必须被映射到一个 CMOL 单元上; (3) 每个 CMOL 单元上最多只能配置一个逻辑门; (4) 有连接关系的逻辑门应被映射到彼此的连通域内. 本文提出方法的具体流程如图 4 所示。

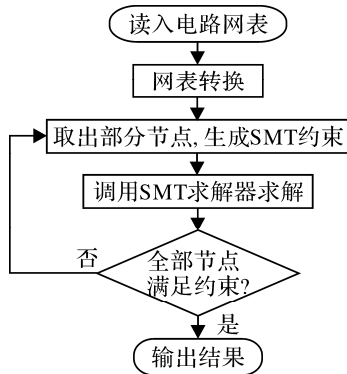


图4 CMOL 单元映射流程

在读入电路网表并经网表变换后, 每次取出部分节点按照映射要求生成约束文件, 然后调用 SMT 求解器进行求解. 电路的全部节点均满足约束后输出结果. 具体步骤为:

步骤 1 读入电路网表, 使用逻辑综合工具将原始电路网表转化为由“或非/非”门组成的电路网表。

步骤 2 根据电路中门的个数和 IO 个数设定 CMOL FPGA 大小. 设 IO 个数为 $\|IO\|$, 则 $\|C\|$ 、 $\|G\|$ 、 $\|IO\|$ 、 R 、 L 应满足以下条件:

$$\begin{cases} \|C\| \geq \|G\|, \\ \|IO\| \leq 2(R+L-2). \end{cases} \quad (5)$$

选取部分节点, 根据电路网表和 4 个映射约束生成 SMT 文件, 其中约束 1~3 用关键词“assert”表示, 而约束 4 用关键词“assert-soft”表示。

步骤 3 选取出电路中的部分节点, 生成 SMT 约束。

步骤 4 将 SMT 文件导入 SMT 求解器进行求解. 通常约束 1~3 均能被满足, 而约束 4 存在不被满足的情况, 记录这些不满足约束的节点, 并取出部分其他节点, 放入下一次循环与新的节点一起重新进行映射。

步骤 5 若电路网表映射结果满足所有约束条件, 输出结果; 否则返回步骤 3。

2.2 SMT 渐进式求解

SMT 求解器(包括 SAT 求解器、PBS 求解器)在处理小规模电路时能够迅速给出映射解, 然而随着电路规模的增大, 约束项个数越来越多, 中间处理文件迅速增大, 导致求解器的求解速度越来越慢并最终无法求出映射解, 这严重限制了基于可满足性方法能够处理的电路的规模. 为此, 本文提出了一种渐进式映射方法, 不再一次性写入所有节点约束, 而是按照网表逻辑级拓扑顺序每次取出部分节点, 写入与这些节点相关的约束并得到映射结果, 得到的结果作为已知条件参与下一次循环, 直到所有节点均满足约束。

2.3 SMT 文件描述

CMOL 单元映射的 4 个约束条件在 SMT 中的描述分别为:

(1) 假设门 g_i 为电路的原始输入/输出, 则约束 1 为门 g_i 映射到 CMOL FPGA 上后所在单元的横坐标为 0 或 $R-1$, 或纵坐标为 0 或 $L-1$, 对应的 SMT 描述为:

$$(\text{assert}(\text{or}(= g_i^x 0)(= g_i^x (-R 1))(= g_i^y 0)(= g_i^y (-L 1)))).$$

(2) 由于求解器会对每个逻辑门的坐标变量赋值, 因此约束 2 无需在 SMT 文件中描述。

(3) 约束 3 为门 g_m 和 g_n ($m \neq n$) 映射到 FPGA 上后所在单元的横坐标不同或纵坐标不同:

$$(\text{assert}(\text{or}(\text{not}(= g_m^x g_n^x))(\text{not}(= g_m^y g_n^y)))).$$

(4) 假设门 g_m 为门 g_n 的扇入, 则约束 4 为门 g_m 和 g_n 映射到 FPGA 上后所在单元的曼哈顿距离小于或者等于连通域半径 r , 对应的 SMT 描述为:

(assert-soft(<=(manhattan $g_m^x g_m^y g_n^x g_n^y$) r)).

这里假设已经在 SMT 文件的开始部分定义如下函数:

(define-fun abso((a Int)(b Int))Int(ite(>=(-a b)0)
(-a b)(-b a))//绝对值计算.

(define-fun manhattan((a Int)(b Int)(c Int)(d Int))
Int(+ (abso a c)(abso b d))//曼哈顿距离计算.

将由上述约束组成的 SMT 文件导入 SMT 求解器即可得到所有声明的变量的解,进而得到 CMOL 单元映射解.

3 结果

本文提出的基于 SMT 的 CMOL 电路单元映射方法用 C++ 语言编程实现,通过 g++ 编译,并在 Linux 操作系统、Intel Xeon E5-2650 v4 2.20 GHz CPU、15.6 GB 内存下运行.采用的测试电路为 ISCAS 89 标准测试电路,设定连通半径 $r=9$,使用的 SMT 求解器为 Z3. 对每个测试电路运行 10 次,并取平均值作为最终结果.表 1 为实验结果,其中“电路”表示测试电路的名称;“变量”表示编码过程中引入的变量个数;“CNF”表示 CNF 文件的大小,“OPB”表示 OPB^[14]文件的大小,“SMT”

表示 SMT 文件的大小;“时间”表示各个求解器求解相应的约束文件所需的时间;平均值为各项数据的几何平均值;归一化值将 SMT 法中的数据设为 1, SAT 法与 PBS 法的归一化值为其各项数据与 SMT 法的比值.

从表 1 可看出, SAT 法和 PBS 法使用的变量数为 SMT 法的 92 倍,中间处理文件的大小分别为 SMT 法的 88 倍和 22 倍. SMT 法在大幅减少编码过程中使用的变量数的同时,减小了中间处理文件大小,说明 SMT 法能够更加简洁地描述 CMOL 单元映射问题.在 CPU 时间上, SAT 法的平均运行时间为 SMT 法的 1.78 倍, PBS 法的平均运行时间为 SMT 法的 0.23 倍.在全部 14 个测试电路中, SMT 法对其中 6 个电路求解的时间优于 PBS 法.虽然 SMT 法的平均运行时间比 PBS 法长,但是由于采用了渐进式算法, SMT 法能够求解 PBS 法无法求解的 s641 和 s713 两个电路,提高了处理大规模电路的能力.

4 结语

针对 CMOL 单元映射问题提出了基于可满足性模理论的单元映射方法.传统的 SAT 法和 PBS

表 1 SAT、PBS 与 SMT 法对比

电路	SAT ^[7]			PBS ^[8]			SMT(本文提出的方法)		
	变量	CNF/kB	时间/s	变量	OPB/kB	时间/s	变量	SMT/kB	时间/s
s27	376	111	0.07	376	58	0.21	38	14	0.19
s208	18 246	45 669	509.84	18 246	14 869	4.07	272	560	1.66
s298	14 962	34 218	370.30	14 962	12 183	3.66	244	454	2.47
s344	27 884	86 646	6.18	27 884	25 904	6.05	358	974	2.67
s349	28 864	91 008	7.60	28 864	26 883	6.36	368	1 024	4.29
s382	26 956	81 189	12.88	26 956	23 420	6.20	350	933	24.26
s386	26 416	80 480	10.30	26 416	26 416	22.84	328	821	14.52
s400	31 524	103 016	7.52	31 524	31 524	6.85	376	1 126	13.93
s420	83 820	435 109	-	83 820	89 774	16.64	598	2 765	25.99
s444	31 314	104 079	7.59	31 314	31 435	8.92	374	1 126	12.01
s510	88 768	479 250	213.27	88 768	103 421	61.74	608	2 867	217.21
s526	67 422	319 807		67 422	75 973	30.86	534	2 253	130.51
s641	-	-	-	-	-	-	598	2 765	224.68
s713	-	-	-	-	-	-	638	3 174	225.43
平均值	37 212	155 048	114.56	37 212	38 488	14.53	406	1 768	64.27
归一化值	92	88	1.78	92	22	0.23	1	1	1

法在解决 CMOL 单元映射问题时, 使用布尔变量, 将映射约束编码成合取范式或 PB 约束, 导致变量数过多, 编码过程复杂, 且中间处理文件很大, 限制了其处理大规模电路的能力. 与 SAT 法和 PBS 法相比, SMT 法能够显著地减少编码过程中所需的变量个数, 减小中间文件的大小. 实验结果表明, 本文提出的方法能够处理更大规模的电路.

参考文献:

- [1] Likharev K K, Strukov D B. CMOL: devices, circuits, and architectures[J]. *Lecture Notes in Physics*, 2006, 680:447-477.
- [2] Strukov D B, Likharev K K. A reconfigurable architecture for hybrid CMOS/Nanodevice circuits[C]//*International Symposium on Field Programmable Gate Arrays*, 2006: 131-140.
- [3] Xia Y, Chu Z, Hung N N, et al. An integrated optimization approach for nanohybrid circuit cell mapping[J]. *IEEE Transactions on Nanotechnology*, 2011, 10(6):1275-1284.
- [4] Sait S M, Arafeh A M. Efficient CMOL nanoscale hybrid circuit cell assignment using simulated evolution heuristic[C]//*Proceedings of the Great Lakes Symposium on VLSI*, 2012:21-26.
- [5] Arafeh A M, Sait S M. Cells reconfiguration around defects in CMOS/nanofabric circuits using simulated evolution heuristic[C]//*International Symposium on Quality Electronic Design*, 2015:581-588.
- [6] Sait S M, Oughali F C, Arafeh A M. Engineering a memetic algorithm from discrete cuckoo search and tabu search for cell assignment of hybrid nanoscale CMOL circuits[EB/OL]. [2018-01-08]. <https://www.researchgate.net/publication/283903226>.
- [7] Hung W N N, Gao C, Song X, et al. Defect-tolerant CMOL cell assignment via satisfiability[J]. *IEEE Sensors Journal*, 2008, 8(6):823-830.
- [8] 王先建, 王伦耀, 储著飞, 等. 基于伪布尔可满足性的纳米 CMOS 电路单元配置[J]. *电子与信息学报*, 2012, 34(10):2508-2513.
- [9] Kumar V. Algorithms for constraint-satisfaction problems: A survey[J]. *Menlo Park*, 1992, 13(1):32-44.
- [10] Moura L D, Björner N. Satisfiability modulo theories: An appetizer[J]. *Lecture Notes in Computer Science*, 2009, 5902:23-36.
- [11] Tille D, Eggersgluss S, Drechsler R. Incremental solving techniques for SAT-based ATPG[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2010, 29(7):1125-1130.
- [12] Liu D, Yu C, Zhang X, et al. Oracle-guided incremental SAT solving to reverse engineer camouflaged logic circuits[C]//*Design, Automation & Test in Europe Conference & Exhibition*, 2016:433-438.
- [13] Yamada A, Kitamura T, Artho C, et al. Optimization of combinatorial testing by incremental SAT solving[C]//*International Conference on Software Testing, Verification and Validation*, 2015:1-10.
- [14] Berre D L, Parrain A. The SAT4J library, release 2.2 system description[J]. *Journal on Satisfiability, Boolean Modeling and Computation*, 2010, 7:59-64.

CMOL cell mapping based on satisfiability modulo theory

JIN Jun-jie, CHU Zhu-fei*, WANG Lun-yao, XIA Yin-shui

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China)

Abstract: Traditional exact algorithm methods require a vast number of variables and files of large size during CMOL cell mapping, which severely limits the algorithm scalability. To address this problem, a CMOL cell mapping method is proposed based on Satisfiability Modulo Theory (SMT). Instead of using binary variables, the proposed method makes use of integer variables to reduce the number of required variables and simplify the expression of constraints, which in turn significantly cuts the file size. Moreover, we adopt incremental solving strategy to seek both solution scale and CPU time by reducing the number of constraints and narrowing the range of variables. Experimental results show that the proposed method possesses better scalability with more affordable CPU time cost than traditional precision methods.

Key words: CMOL circuit; cell mapping; exact algorithm

(责任编辑 史小丽)