

基于查找表的电路老化检测传感器设计

张海明¹, 汪鹏君^{1,2*}, 张跃军¹

(1. 宁波大学 信息科学与工程学院, 浙江 宁波 315211; 2. 温州大学 数理与电子信息工程学院, 浙江 温州 325035)

摘要: 通过对电路老化检测与查找表(Look-Up Table, LUT)方法的研究, 提出一种基于查找表的电路老化检测传感器设计方案. 该方案首先建立老化压控振荡器(Voltage Controlled Oscillator, VCO)频率降级 Δf_p 和电压压降 ΔV_{DC} 的老化模型, 通过老化感知电路产生基准频率和老化频率. 其次, 利用相位放大原理得到频差信号, 并采用计数基准 VCO 周期的方式将频差信号量化. 然后, 按 LUT 规则将老化信息以电压方式输出. 最后, 在 TSMC 65 nm CMOS 工艺下仿真验证, 结果表明所设计的老化检测传感器感应分辨率为 0.001 8%, 老化模型计算值与仿真数据相对误差在 9%以内, 能够实现电路老化检测的功能.

关键词: 电路老化; 相位比较; 查找表; 老化检测

中图分类号: TP331

文献标志码: A

文章编号: 1001-5132 (2019) 04-0025-07

由于集成电路工艺尺寸降低, 芯片集成度增加, 系统性能提高, 同时也会引起电路可靠性降低, 其中电路老化程度是可靠性的重要指标, 因此抗老化机制成为当前电路可靠性领域的研究重点. 电路老化发生在晶体管内部, 是一种物理化学变化引起器件参数改变的现象, 包括热载流子注入(Hot Carrier Injection, HCI)、时间相关电介质击穿(Time-Dependent Dielectric Breakdown, TDDDB)、负偏置温度不稳定(Negative Bias Temperature Instability, NBTI)效应等. 在 CMOS 工艺进入 180 nm 后, NBTI 效应已经成为引起电路老化的关键因素, 器件级表现为 PMOS 晶体管阈值电压漂移、饱和电流降低; 电路级表现为延时增加、工作频率降低引起电路性能下降. 电路老化程度可靠性监测是抗老化处理的前提, 维持电路在正常寿命内的优良性能^[1], 延缓电路老化是当前纳米 CMOS 工艺下急需实现的关键技术, 这已经成为集成电路老化研究的热点问题.

当前国内外的研究机构对集成电路老化领域

展开了一系列研究, 并取得了一定成果. 2007 年 Agarwal 等^[2]提出老化监测预测方案, 通过检测保护带区域是否存在违规跳变信号来预判电路老化. 王超等^[3]通过对基准信号和老化信号的时序比较来判断电路老化程度, 但该方法测量精度较低, 无法满足高精度测量的要求. 随着对集成电路老化研究的不断深入, 邱吉冰等^[4]将关键路径漏电流变化转化为门电路延迟, 通过关键路径延迟变化来预测电路老化情况. Kim 等^[5]提出一种片上监测电路老化的设计方案, 经相位比较电路对老化信号量化处理, 实现精度为 0.02% 的监测要求, 但未实现对电路老化的纠正. Narang 等^[6]基于 NBTI 静态时序分析将其对电路影响转化为电压变化量, 通过微调电压来减缓电路老化.

通过研究老化检测方法, 结合查找表(Look-Up-Table, LUT)电路^[7]设计, 提出一种基于查找表的电路老化检测传感器设计方案. 在 TSMC 65 nm CMOS 工艺下功能仿真验证, 结果表明该传感器具有正常逻辑, 能够实现电路老化检测功能.

收稿日期: 2018-09-06.

宁波大学学报(理工版)网址: <http://journal.g.nbu.edu.cn/>

基金项目: 浙江省自然科学基金(LY18F040002); 国家自然科学基金(61874078, 61871244); 浙江省公益项目(2016C31078); 宁波大学研究生科研创新基金.

第一作者: 张海明(1991—), 男, 河北衡水人, 在读硕士研究生, 主要研究方向: 集成电路老化预测与检测. E-mail: 470927198@qq.com

*通信作者: 汪鹏君(1966—), 男, 浙江奉化人, 教授, 主要研究方向: 逻辑电路和低功耗集成电路. E-mail: wangpengjun@nbu.edu.cn

1 延迟型老化的理论分析

NBTI 效应是深纳米工艺下影响电路可靠性的主要因素,在其作用下晶体管阈值电压升高,为保持电路性能,栅驱动电压需同步升高.因供电电压不能自适应调节,晶体管阈值电压升高,电路延迟增大.本文以反应扩散(Reaction-Diffusion, R-D)模型^[8]为基础,通过对 NBTI 效应理论分析和公式推导,来描述其对电路延迟造成的影响.

电路延迟时间 t_p 定义为导通延迟时间 t_{PHL} 和截止延迟时间 t_{PLH} 的平均值. t_{PHL} 指从输入波形上升沿中点到输出波形下降沿中点所经历的时间,正比于下拉电阻和负载电容形成的时间常数; t_{PLH} 指从输入波形下降沿中点到输出波形上升沿中点所经历的时间,正比于上拉电阻和负载电容形成的时间常数.基于短沟道工艺器件, t_p 表示为^[9]:

$$t_p = \frac{t_{PHL} + t_{PLH}}{2} = 0.69 \cdot C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right), \quad (1)$$

t_p 与 PMOS、NMOS 晶体管导通电阻 R_{eqp} 、 R_{eqn} 及负载电容 C_L 有关. PMOS 管导通电阻 R_{eqp} 由可变电压 V_{DC} 决定,满足如下关系^[9]:

$$R_{eqp} = \frac{1}{V_{DC}/2} \int_{V_{DC}/2}^{V_{DC}} \frac{V}{I_{DSAT}(1 + \lambda V)} dV, \quad (2)$$

式中: I_{DSAT} 为饱和漏电流; λ 为沟长调制系数.

同理 NMOS 管导通电阻 R_{eqn} 满足如下关系:

$$R_{eqn} = \frac{1}{V_{DC}/2} \int_0^{V_{DC}/2} \frac{V}{I_{DSAT}(1 + \lambda V)} dV, \quad (3)$$

其中

$$I_{DSAT} = k' \left((V_{DC} - V_T) \cdot V_{DSAT} - \frac{V_{DSAT}^2}{2} \right),$$

式中: k' 为增益因子; V_T 为阈值电压; V_{DSAT} 为饱和漏源电压.

由公式(1)~(3)推导可得:

$$t_p = \frac{K}{2} \left(\frac{k_n C_L V_{DC}}{V_{DC} - V_{TN} - V_{DSAT}/2} + \frac{k_p C_L V_{DC}}{V_{DC} - V_{TP} - V_{DSAT}/2} \right), \quad (4)$$

式中: $K = \frac{0.52}{(W/L)V_{DSAT}}$, 其中 W/L 为晶体管宽长比; k_n 、 k_p 分别为 NMOS、PMOS 管工艺跨导参数;

V_{TN} 、 V_{TP} 分别为 NMOS、PMOS 管阈值电压. 为简化公式,假设 V_{TN} 、 V_{TP} 及 V_{DSAT} 为定值, k_n 等于 k_p , 因 $V_{DSAT} \ll V_{DD}$, V_{DSAT} 忽略不计,上式可近似表示:

$$t_p = \frac{K k_n C_L}{2} \cdot \left(\frac{V_{DC}}{V_{DC} - V_{TN}} + \frac{V_{DC}}{V_{DC} - V_{TP}} \right), \quad (5)$$

其中, NMOS 管阈值电压 V_{TN} 取值 0.4 V, PMOS 管阈值电压 V_{TP} 取值 0.7 V. 当关键路径确定时, K 和 C_L 也是定值,上式进一步化简为:

$$t_p = \alpha \cdot \left(\frac{V_{DC}}{V_{DC} - V_{TN}} + \frac{V_{DC}}{V_{DC} - V_{TP}} \right), \quad (6)$$

其中 $\alpha = K k_n C_L / 2$. 经 Cadance Spectre 仿真计算取 $\alpha = 1.5$, 将数据拟合得到在 NBTI 作用下电路延迟降级 Δt_p 与电压变化 ΔV_{DC} 理论值满足如下关系:

$$\Delta V_{DC} = 6.23 \cdot \Delta t_p. \quad (7)$$

2 老化检测传感器电路设计

老化检测传感器由老化感知电路、放大电路、量化电路及 LUT 型输出电路组成,如图 1 所示. 老化感知电路由 2 个构造相同的压控振荡器(Voltage Controlled Oscillator, VCO)和整形电路组成,主要功能是产生基准频率和老化频率,同时整形电路用来消除毛刺信号;放大电路由相位比较电路、串行数据检测器组成,主要功能是放大频差信号;量化电路由 8 位计数器、拍频器组成,主要功能是将老化信号进行数字量化并产生周期性复位信号;LUT 型输出电路由查找表电路、数字模拟转换器(Digital to Analog Converter, DAC)模块组成,主要功能是将量化值和电压偏差关联后输出.

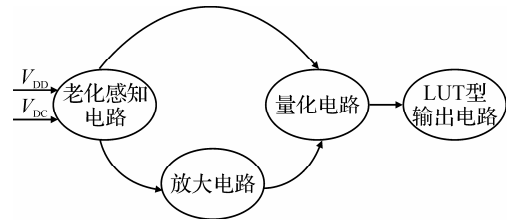


图 1 老化传感器结构框图

2.1 老化信号感知电路

老化感知电路将未老化的基准 VCO 作为参考电路,老化后引起参数偏差的 VCO 作为老化电路,通过比较 2 个 VCO 输出信号来采集电路老化信息. 基准 VCO 的电压 V_{DD} 为 1.2 V, 输出频率恒定; 老化 VCO 的电压 V_{DC} 范围 0.8~1.2 V. 老化感知电路

以老化 VCO 为测量单元, 通过其频率变化来模拟电路老化过程. 频率与电压满足如下关系:

$$f = \frac{1}{2NT_d} \propto V_{DC}, \quad (8)$$

式中: f 为老化 VCO 输出频率; N 为单元级联数; T_d 为单元延迟时间. 经测量 T_d 为 0.029 ns, VCO 电路原理结构如图 2 所示.

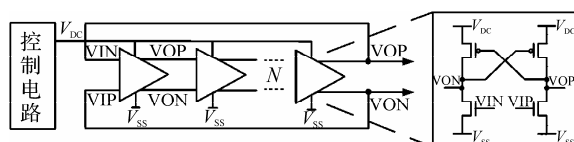
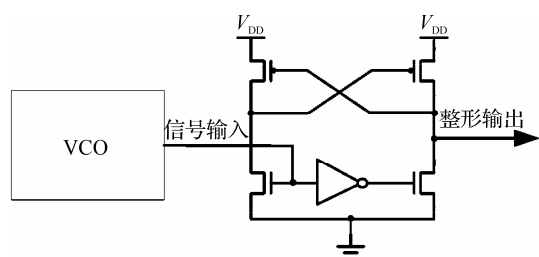
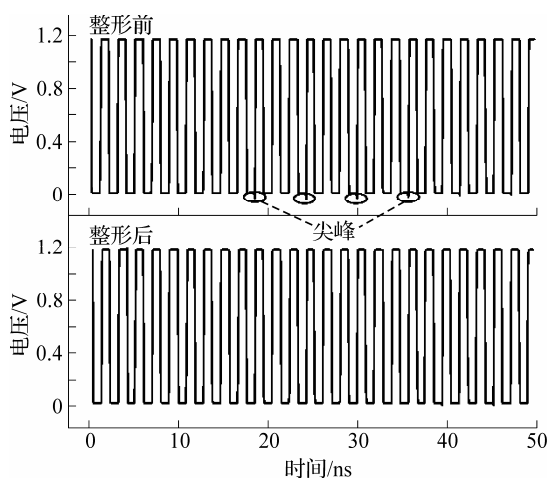


图2 VCO 原理图

电路工作时, 不可避免地存在噪声干扰, 因此输出往往存在一些尖峰信号, 这降低了电路的稳定性及可靠性, 故需在 VCO 输出端级联整形电路, 如图 3(a)所示. 其原理为输入低电平, 信号经反相器使 NMOS 管导通, 输出被 NMOS 管拉低; 输入为高电平时, 信号经反相使 NMOS 管截止, 输出被 PMOS 管拉高. 因输出信号被钳定在高、低电平 2 种状态, 从而可以有效消除尖峰, 波形对比如图 3(b)所示.



(a)整形电路



(b)整形前后对比图

图3 VCO 输出整形

本设计基准频率 514 MHz, 为满足设计需要, 由公式(8)可知每个 VCO 由 33 级基本单元构成, 分别由 V_{DD} 和 V_{DC} 控制. 经 Cadence Spectre 仿真, 得到老化 VCO 频率与 V_{DC} 之间关系, 见表 1. 该变化反映老化 VCO 在 NBTI 效应作用下频率的变化.

表1 VCO 电压—频率关系

电压/V	频率/MHz	电压/V	频率/MHz	电压/V	频率/MHz
1.100	429	1.160	484	1.195	509
1.110	440	1.165	488	1.196	510
1.120	448	1.170	492	1.197	511
1.130	456	1.175	495	1.198	512
1.140	466	1.180	500	1.199	513
1.150	474	1.190	506	1.200	514
1.155	478	1.191	507		

将表中数据拟合处理, 可得到 ΔV_{DC} 与 Δt_p 满足如下关系:

$$\Delta V_{DC} = 6.67 \cdot \Delta t_p. \quad (9)$$

2.2 老化信号放大电路

放大电路核心是相位比较电路, 该电路是在静态电路基础上通过增加时钟 CLK 控制的一种动态电路, 时钟控制的 PMOS 管为预充管, NMOS 管为求值管. 通过比较 2 个输入信号的延迟相位关系对原始频差信号进行响应放大, 电路结构如图 4(a)所示, 与文献[4]所提相位比较电路相比, 减少了 3 个 MOS 管, 在面积方面具有一定优势. 其工作过程主要分为 2 个阶段:

(1)预充电阶段. 当时钟信号 CLK=0 时, 输出节点 D 被预充管预充至 V_{DD} , 同时求值管截止, 下拉路径断开. D 处电位由于缺少放电回路同时被保持环 2 锁定维持高电平, 输出信号 Y 为低电平.

(2)求值阶段. 当时钟信号 CLK=1 时, 预充管截止, 求值管导通. 节点 D 根据输入和下拉网络 (PDN) 的逻辑结构进行有条件的放电. 当老化信号 A 和基准信号 B 存在高电平重叠区域时, 与门控制 C 处 NMOS 晶体管导通, 使下拉网络导通. 节点 D 经低阻通路放电至 0 V, 同时被保持环 1 锁定维持低电平, 输出高电平; 若 A、B 信号不能使与门导通, 下拉网络断开, 节点 D 维持高电平, 信号 Y 维持低电平. 当 A、B 频率信号之间存在一个周期相位差时, 输出信号 Y 在时钟 CLK 作用下完成一个周期变化, 原始频差信号经相位比较电路得到经

放大的频差信号,如图4(b)所示。

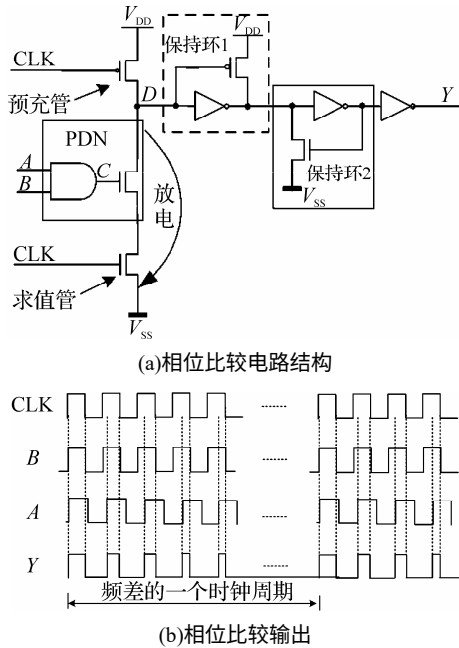


图4 相位比较电路

供电电压噪声或其他不确定性噪声会对老化信号采集造成干扰。采用串行数据检测器消除前级电路采集中的毛刺,提高信号采集精度,如图5(a)所示。当信号Y连续输出3个高电平时,串行数据检测器输出高电平,如图5(b)所示。

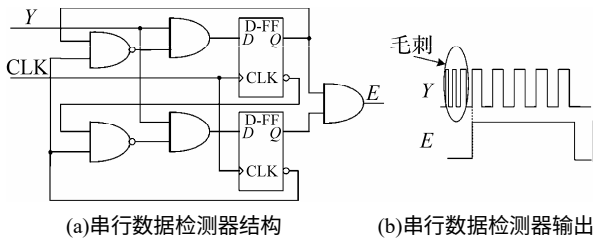


图5 串行数据检测器

2.3 老化信号量化电路

老化信号量化电路将放大的频差信号量化,通过统计每个频差周期内基准频率的周期个数来对应电路老化的不同程度,实现对老化信息的量化。8位计数器作为量化信息采集单元,量化值范围0~255,频率与量化值对应关系如图6所示。

相位比较电路输出频差信号 $Y(f_{\text{ref}} - f_{\text{str}})$, 在一个频差时间内,两者相差一个测量周期,其中: f_{ref} 是基准VCO输出频率; f_{str} 是老化VCO输出频率。初始时老化频率与基准频率相同,计数器最大输出值 N_1 , 老化VCO输出个数 $N_1 - 1$, 对应频率

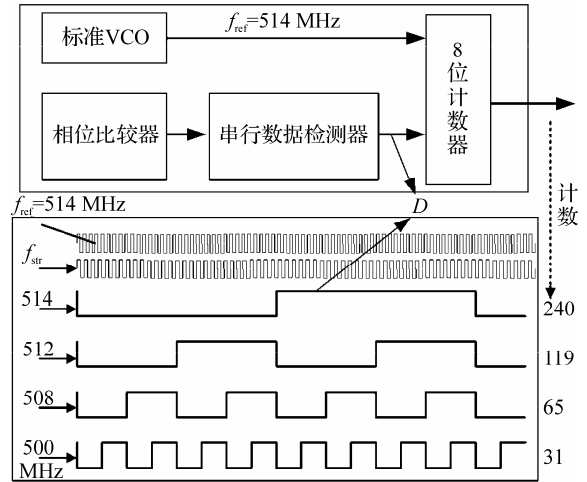


图6 频率—量化关系

$(N_1 - 1)f_{\text{str}1}$. 当老化VCO频率改变时,记计数器输出值为 N_2 , 老化频率为 $(N_2 - 1)f_{\text{str}2}$. 由上可得:

$$1/f_{\text{ref}} \cdot N_1 = 1/f_{\text{str}1} \cdot (N_1 - 1), \quad (10)$$

$$1/f_{\text{ref}} \cdot N_2 = 1/f_{\text{str}2} \cdot (N_2 - 1), \quad (11)$$

经推导频率和量化值对应关系^[10]为

$$\frac{f_{\text{str}2}}{f_{\text{str}1}} - 1 = \frac{N_1 - N_2}{N_2 \cdot (N_1 - 1)}. \quad (12)$$

老化VCO在不同电压控制下量化值分别为 N_1 、 N_2 . 频率降级和量化值对应关系如图7所示。

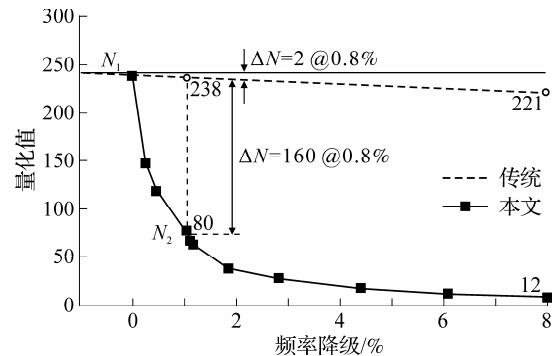


图7 频率—量化关系

老化频率和基准频率相等时,计数器最大输出值 $N_1=240$; 当频率发生0.8%降级(f_{ref} 为509 MHz)时,传统测量方法量化值变化量 $\Delta N=2$, 而采用频差放大法量化值变化量 $\Delta N=160$, 大大提高了老化频率测量精度。

2.4 LUT 输出电路

LUT 是将数据写入存储单元,由地址选择端选择输出对应存储内容的一种电路结构。量化电路将老化信息量化,该值对应老化VCO频率的降

级, 同时也反映电压的偏移量. 因量化值范围 0~255, 故设计采用 8 个 2 输入数据选择器作为 LUT 电路的地址选择器, 将量化值作为地址端, 数字量电压存储在查找表中, 通过地址选择输出对应的理论电压值, 实现 VCO 频率降级和电压偏移量之间的对应关系, 如图 8 所示.

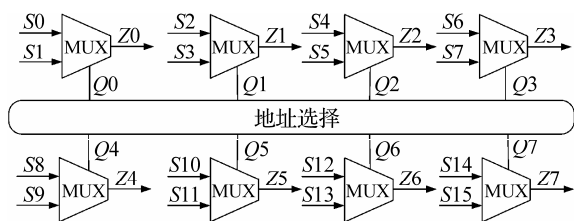


图 8 查找表电路结构

在数字系统中, 信号以数字方式进行存储和传输, 为了使信号能够被外界系统识别, 需 DAC 将数字量转化为模拟信号输出. 设计将老化 VCO 作为延迟被测路径, 通过公式(7)计算得到一系列频率降级对应的理论 ΔV_{DC} , 以二进制形式存入查找表中. 利用 TSMC 65 nm 工艺库中理想 8 位 DAC 模块, 分辨率为 0.001 V, 将数字电压作为输入信号, DAC 输出对应电压. 表 2 列出部分查找表和存储值的对应关系.

表 2 部分查找表对应存储值

量化值	VCO/V	存储值	$\Delta V_{DC}/mV$
14	1.147	00110101	53
16	1.150	00110000	48
19	1.155	00101011	43
21	1.170	00011011	27
26	1.175	00010111	23
41	1.185	00001110	14
65	1.190	00001010	10
69	1.191	00001000	8
80	1.195	00000110	6
119	1.197	00000100	4
147	1.198	00000010	2
240	1.200	00000000	0

2.5 老化检测传感器整体结构

当电路开始工作时, 老化感知电路在控制电路作用下检测电路老化状态, 经放大电路得到放大的频差信号 Y , 由量化电路将频差信号量化, 最后建立量化值与电压关系表由 LUT 输出电路输出, 电路老化时, 可有效检测电路老化情况. 老化检测传感器整体结构如图 9 所示.

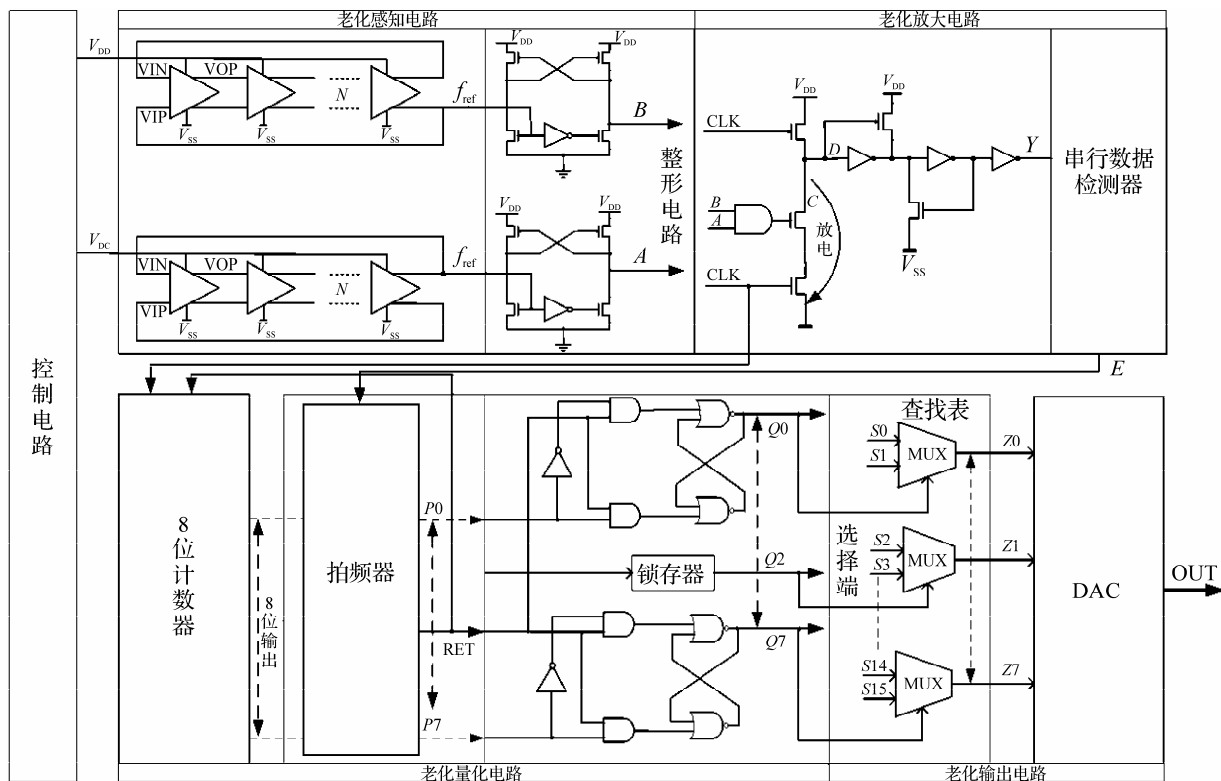


图 9 老化检测传感器整体结构

3 实验结果与分析

在 TSMC 65 nm 工艺下, 对老化传感器进行功能验证, 其中相位比较模块、VCO 模块、整形模块采用全定制设计. 老化传感器版图如图 10 所示, 版图面积 $38.03\ \mu\text{m}\times 20.34\ \mu\text{m}$. 将公式(7)的理论结果与公式(9)的仿真计算结果对比, 10%频率降级范围内, 两者最大相对误差 δ 为 9%, 如图 11 所示, 表明该模型具有有效性.

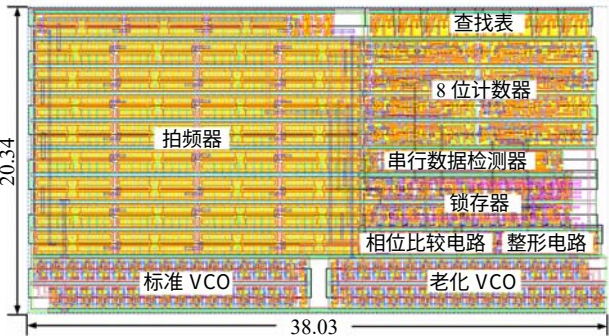


图 10 传感器版图(μm)

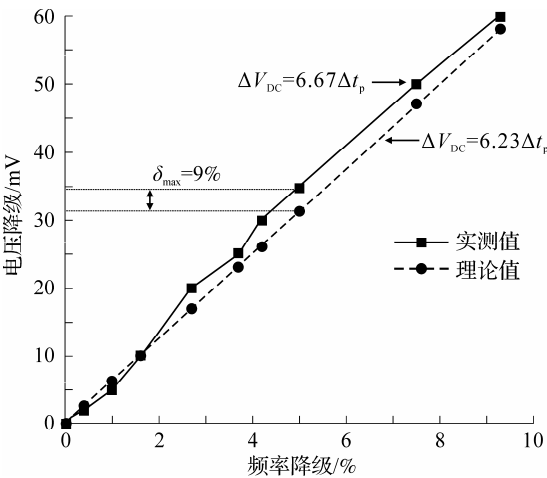


图 11 频率降级与电压变化量关系

对版图进行 DRC、LVS 验证, 提取寄生参数后对电路进行后仿真, 图 12 给出基准电压 1.2 V, 控制电压 1.155 V 下的波形图. 可以看出频差信号对应量化值为 19, 经查表后输出电压为 43 mV, 因此为了缓解 NBTI 效应造成的电路老化延迟, 控制电压 V_{DC} 需调节 43 mV. 纠正后 V_{DC} 为 1.198 V, 查表 1 可知纠正后老化频率 f_{str} 为 512 MHz, 与基准频率之间误差为 0.39%. 由此可见所设计的电路老化检测传感器具有正常的逻辑, 能够输出电压偏差值,

实现高精度监测电路老化程度的功能.

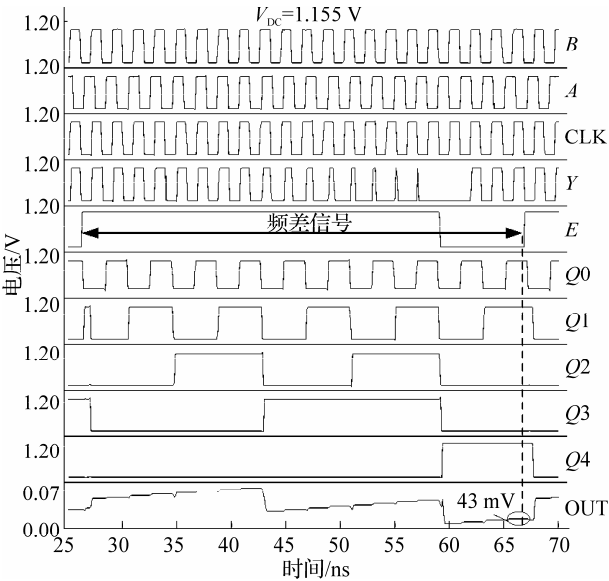


图 12 整体输出波形

灵敏度是衡量传感器性能好坏的重要指标, 包括响应时间和恢复时间. 响应时间是指从电路输入到输出响应所经历的时间; 恢复时间是指电路恢复正常所需时间. 通过后仿真得到传感器响应时间 $\leq 0.958\text{ ns}$, 恢复时间 $\leq 1.050\text{ ns}$, 具有较快的响应速度. 由公式(12)可知, 当 $N_1=240$, $N_2=239$ 时, 频率降级感应分辨率为 0.001 8%, 见表 3.

表 3 传感器参数

基准电压/V	响应时间/ns	恢复时间/ns
1.2	≤ 0.958	≤ 1.050
感应分辨率/%	功耗/mW	
$\leq 0.001\ 8$	0.543	

表 4 为本文和不同文献比较, 在老化频率降级 1%的情况下, 给出了经相位比较电路后频差的放大倍数, 相比文献[5,10]放大倍数提高 40%, 频率降级感应分辨率分别提高 91%和 82%. 因此所设计的老化检测传感器在感知频率降级分辨率方面具有更大的优势.

表 4 本文与相关文献比较

文献	工艺尺度/nm	频率/MHz	感应分辨率/%	倍数
[5]	130	250	0.02	50
[10]	130	1 000	0.01	50
本文	65	514	0.001 8	70

4 结论

本文提出一种基于查找表的电路老化检测传感器, 通过老化感知电路、放大电路、量化电路以及 LUT 型输出电路实现了检测电压的输出. 在 TSMC 65 nm CMOS 工艺下, 采用全定制方式设计的电路版图面积为 $38.03\ \mu\text{m} \times 20.34\ \mu\text{m}$. 实验表明所设计的传感器具有正确的逻辑功能, 频率感知分辨率可达 0.001 8%, 老化 VCO 仿真与理论值最大相对误差 9%. 与传统传感器相比, 本文将电路老化量转化为电压变化量, 可广泛应用于抗老化芯片中, 对集成电路研究具有重要意义.

参考文献:

- [1] Vazquez J C, Champac V, Ziesemer A M. Low sensitivity to process variations aging sensor for automotive safety-critical applications[C]. IEEE VISI Test Symposium, 2010: 238-243.
- [2] Agarwal M, Paul B C, Zhang M, et al. Circuit failure prediction and its application to transistor aging[C]. Proceedings of VTS, 2007:277-286.
- [3] 姚剑婷, 刘画池, 贾徭, 等. 基于 NBTI 效应的数字型高精度老化监测电路设计[J]. 科技通报, 2017, 33(2): 104-108.
- [4] 邱吉冰, 韩银和, 靳松, 等. 采用关键路径漏电流变化分析的集成电路老化预测方法[J]. 计算机辅助设计与图形学学报, 2015, 27(2):371-378.
- [5] Kim T H, Persaud R, Kim C H. Silicon odometer: An on-chip reliability monitor for measuring frequency degradation of digital circuits[J]. IEEE Journal of Solid-State Circuits, 2008, 43(4):874-880.
- [6] Narang S. Circuit level technique for mitigating effects of NBTI for wide fan-in Domino logic circuits using supply voltage tuning[C]. IEEE International Conference on Circuit, Power and Computing Technologies, 2015:1-7.
- [7] 孔挺, 余鹏, 瞿东辉. 改进查找表译码算法在 TPC 中的应用研究[J]. 信息技术, 2017(9):125-129.
- [8] Rohbani N, Miremadi S G. A low-overhead integrated aging and SEU sensor[J]. IEEE Transactions on Device and Materials Reliability, 2018, 18(2):205-213.
- [9] Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits: A Design Perspective[M]. London: Prentice Hall, 2003:1-702.
- [10] Wang X, Keane J, Kim T H, et al. Silicon odometers: Compact in situ aging sensors for robust system design[J]. IEEE Micro, 2014, 34(6):74-85.

Look-up table based circuit aging detection sensor design

ZHANG Haiming¹, WANG Pengjun^{1,2*}, ZHANG Yuejun¹

(1.Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China;

2.College of Mathematics, Physics and Electronic Information Engineering, Wenzhou University, Wenzhou 325035, China)

Abstract: Based on the research of circuit aging detection and look-up table (LUT) method, a design scheme of aging detection sensor based on LUT output circuit is proposed. The scheme first establishes an aging model of aging voltage-controlled oscillator (VCO) frequency degradation Δf_p and voltage drop ΔV_{DC} , which generates reference frequency and aging frequency through aging sensing circuit. Then, the frequency difference signals are obtained using the phase amplification principle. The frequency difference signal is quantized by counting the reference VCO period. Next, the aging information is output as voltage according to LUT rules. The simulation results of TSMC 65 nm CMOS process show that the designed aging detection sensor has an inductive resolution of 0.001 8%, and the relative error between the aging model calculation value and the simulation data is less than 9%, which can realize the function of circuit aging detection.

Key words: circuit aging; phase comparison; look up table; aging detection

(责任编辑 韩 超)