

# 基于正反馈异或/同或门的低延时混合逻辑加法器设计

叶顺心<sup>1</sup>, 汪鹏君<sup>1,2\*</sup>, 温亮<sup>3</sup>, 张跃军<sup>1</sup>, 张笑天<sup>1</sup>

(1. 宁波大学 信息科学与工程学院, 浙江 宁波 315211; 2. 温州大学 电气与电子工程学院, 浙江 温州 325035;  
3. 中国海岸警卫队学院 电子技术系, 浙江 宁波 315801)

**摘要:** 针对采用传输管逻辑设计的加法器存在阈值损失以及延时过高等问题, 结合正反馈原理, 提出无阈值损失的低延时正反馈混合逻辑加法器设计方案. 该方案首先分析传输管异或门阈值损失机理, 利用正反馈电平锁定特性, 设计无阈值损失的正反馈异或/同或门; 然后利用有比逻辑特定晶体管的尺寸差, 以减少正反馈异或/同或门输出延时; 最后融合传输管逻辑、传输门逻辑和静态互补 CMOS 逻辑等的优点, 实现无阈值损失且低延时的混合逻辑加法器. 在 TSMC 65 nm CMOS 工艺下, HSPICE 仿真结果表明, 所设计电路与传输门加法器相比延时和功耗延时积分分别降低 12.75% 和 10.88%.

**关键词:** 正反馈; 异或/同或门; 低延时; 阈值损失; 混合逻辑加法器

**中图分类号:** TP332

**文献标志码:** A

**文章编号:** 1001-5132 (2020) 02-0028-07

超大规模集成电路需要以低功耗解决供电问题, 以低延时加快运行速度<sup>[1]</sup>. 在比较器、奇偶校验器等逻辑电路中, 加法器是基础模块, 并被大量使用, 因此加法器开销将显著影响总体电路性能<sup>[2]</sup>. 如何有效利用不同逻辑的优点以提升加法器性能被广泛关注. 标准静态 CMOS 加法器<sup>[3]</sup>由 28 个晶体管构成, 具有对电压和晶体管尺寸变化的鲁棒性, 但由于其每个输入端都至少接一个 PMOS 管和一个 NMOS 管, 导致输入电容增大, 功耗延时积 (Power-Delay Product, PDP) 随之增大. 在此基础上, 改进型互补 CMOS 加法器<sup>[4]</sup>利用求和与进位自对偶特性, 有效减少面积与延时, 但同样需要 28 个晶体管, 且功耗过大. 互补传输管 (Complementary Pass Transistor Logic, CPL) 加法器<sup>[5-6]</sup>由 32 个晶体管构成, 优点是能够产生全摆幅输出, 但一方面由于存在大量内部互补节点导致开关活动性增加、动态功耗增大, 另一方面节点阈值损失使加法器延时与功耗过高. 传输门加法器<sup>[7]</sup> (Transmission Gate Full Adder, TGA) 由 24 个晶体管构成, 能有效弥补传输管阈值损失, 但相比传输管逻辑, 传输门逻辑

需要双倍数量晶体管完成相同电路功能. 为降低加法器电路开销, 传输方程加法器<sup>[8]</sup> (Transmission Function Full Adder, TFA) 融合传输管逻辑、传输门逻辑和静态互补 CMOS 逻辑等多种逻辑优点, 实现无阈值损失的低功耗混合逻辑加法器, 但其驱动能力较弱、延时过高. 混合逻辑 14T 加法器<sup>[9]</sup>利用 2 个交叉耦合的 PMOS 和 NMOS 解决传输管阈值损失问题, 实现节点电压全摆幅, 但其内部 6T 异或/同或门的 XOR 节点下拉延时与 XNOR 节点上拉延时较高.

为进一步弥补阈值损失同时减少延时, 本文首先利用正反馈原理设计正反馈异或/同或门, 然后根据有比逻辑尺寸差减少正反馈异或/同或门的输出延时, 最后综合多种逻辑的优点, 将正反馈异或/同或门、本位求和电路和进位生成电路进行融合设计, 实现无阈值损失且低延时的混合逻辑加法器.

## 1 正反馈异或/同或门设计

异或/同或门作为加法器基础电路, 能同时生

收稿日期: 2019-09-02.

宁波大学学报(理工版) 网址: <http://journal.lg.nbu.edu.cn/>

基金项目: 国家自然科学基金 (61874078, 61871244).

第一作者: 叶顺心 (1995-), 男, 浙江衢州人, 在读硕士研究生, 主要研究方向: 集成电路理论和设计. E-mail: 502940763@qq.com

\*通信作者: 汪鹏君 (1966-), 男, 浙江宁波人, 博士/教授, 主要研究方向: 集成电路理论和设计. E-mail: wangpengjun@nbu.edu.cn

成控制其他电路工作方式的  $XOR$ 、 $XNOR$  信号. 在晶体管数量优先型电路设计中, 传输管异或门能使用少量晶体管输出  $XOR$  信号, 并且经过反相器输出  $XNOR$  信号<sup>[10]</sup>. 图1为一种4T传输管异或门及阈值损失示意图,  $XOR$  节点在特定输入情况下存在阈值损失电压  $V_m$ <sup>[11]</sup>, 使电路延时和功耗增大.

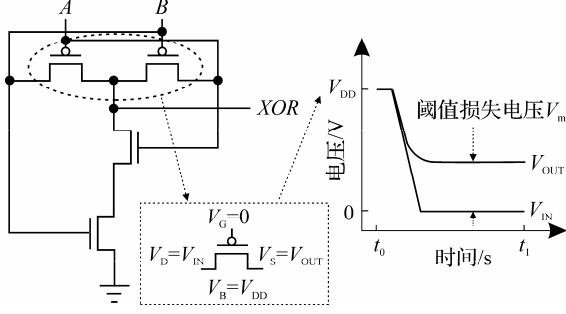


图1 4T传输管异或门及阈值损失示意图

根据MOS管工作状态<sup>[3]</sup>, 当  $|V_{GS}| < |V_T|$  时, 晶体管工作在截止区; 当  $|V_{DS}| < |V_{GS}| - |V_T|$  时, 晶体管工作在电阻区; 当  $|V_{DS}| > |V_{GS}| - |V_T|$  时, 晶体管工作在饱和区; 其中,  $V_{GS}$  表示栅源电压差,  $V_{DS}$  表示漏源电压差. 所以当PMOS管传输0电平, 即栅极  $V_G = 0$ , 漏极接输入  $V_{IN} = V_{DD} \rightarrow 0$ , 衬底  $V_B = V_{DD}$  时, PMOS管工作在饱和区, 源极节点电容放电; 当源极输出  $V_{OUT}$  被下拉到阈值电压  $V_T$  时, 满足  $|V_{GS}| = |V_T|$ , 晶体管导电沟道截止, 源极节点电容不再放电.  $V_{OUT}$  公式如下:

$$V_{OUT} = V_T = V_{T0} + \gamma(\sqrt{-2\phi + V_{SB}} - \sqrt{2\phi}). \quad (1)$$

经验参数  $V_{T0}$  为当  $V_{SB} = 0$  时的阈值电压 ( $V_{SB}$  为源极到衬底电压差), 与制造工艺有关;  $\gamma$  为体效应系数;  $\phi$  为费米电势. 因此每个MOS管的  $V_T$  不同, 如果不弥补阈值损失, 将额外增大电路的延时与功耗. 文献[9]提出6T异或/同或门, 具体如图2(a)所示. 其利用交叉耦合的NMOS管和PMOS管实现  $XOR$  和  $XNOR$  信号全摆幅输出. 仿真波形如图2(b)所示. 由图可见, 当  $(A=1 \rightarrow 0, B=0)$  时,  $XOR$  下拉延时为 18 ps,  $XNOR$  上拉延时为 60 ps; 当  $(A=1 \rightarrow 0, B=1)$  时,  $XOR$  上拉延时与  $XNOR$  下拉延时都为 9 ps.

为进一步减少延时, 在图1基础上加接正反馈环, 组成如图3所示的正反馈异或/同或门.

根据异或公式(2), 将 P1 和 P2 的 2 个 PMOS 管源极连接作输出, 组成传输管异或门基础电路.

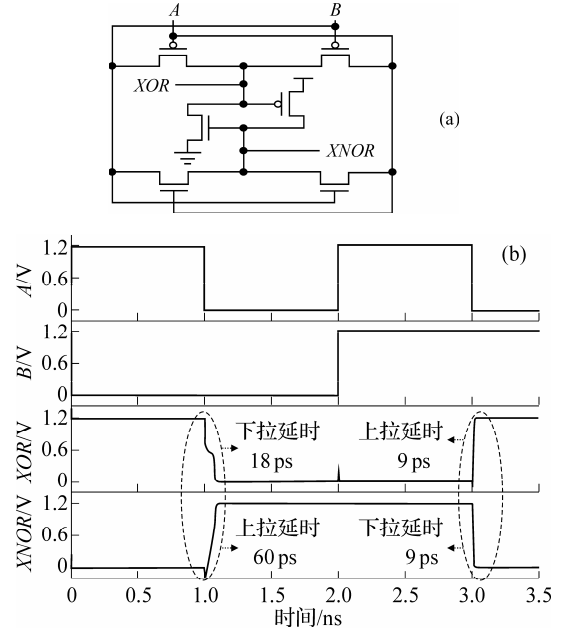


图2 6T异或/同或门电路(a)和仿真波形(b)

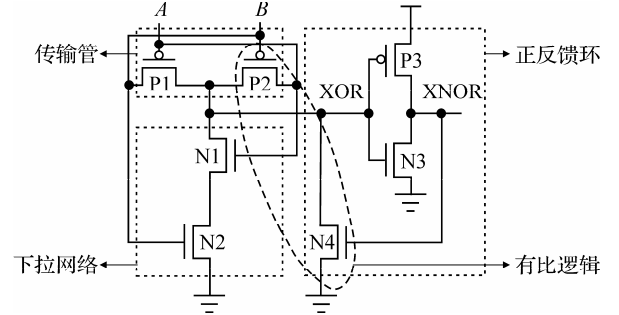


图3 正反馈异或/同或门

$$XOR = A\bar{B} + B\bar{A}. \quad (2)$$

在  $XOR$  节点接入 N1 和 N2 的 2 个 NMOS 管连接成的下拉网络, 当输入  $(A=1, B=1)$ , P1 和 P2 同时断开时, PMOS 管漏极输入信号无法正常传输到源极, N1 和 N2 晶体管同时导通,  $XOR$  节点被正常下拉到低电平. 但当输入  $(A=0, B=1 \rightarrow 0)$  或  $(A=1 \rightarrow 0, B=0)$  时,  $XOR$  输出信号存在阈值损失, 无法达到全摆幅. 所以根据图4的正反馈流程图, 利用反相器

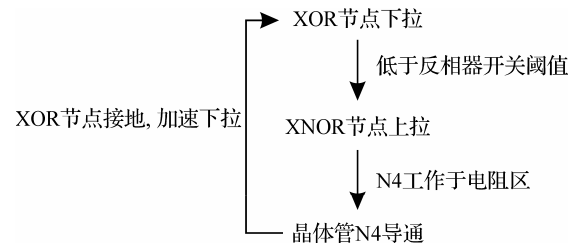


图4 正反馈流程图

(P3, N3)和 N4 组成正反馈环, 在形成 XNOR 输出的同时, 将 XOR 节点下拉到低电平.

图 5 可看出, 当( $A=1 \rightarrow 0, B=0$ )时, XOR 节点随着 A 输入端的跳变有一段时间的正常下拉期, 在到达阈值电压  $V_T$  附近时进入平缓期. 当节点被下拉到反相器(P3, N3)开关阈值以下时, 正反馈环工作, XOR 节点进入加速下拉期, 并被成功下拉到低电平. 图 6 为正反馈异或/同或门与 6T 异或/同或门延时对比仿真图, 可明显看出其延时性能具有优势.

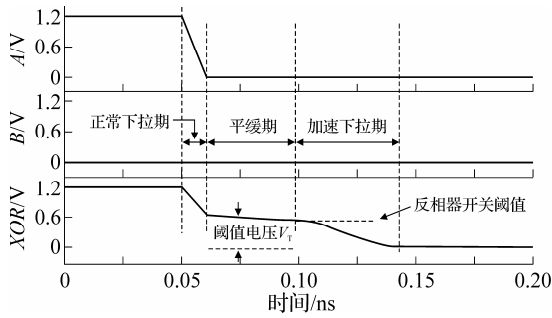


图 5 正反馈异或/同或门 XOR 节点下拉分段图

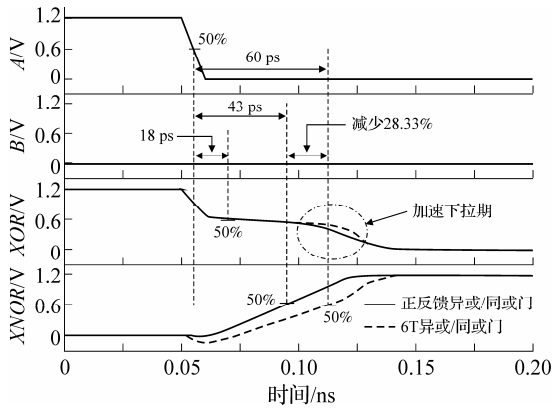


图 6 正反馈异或/同或门与 6T 异或/同或门延时对比仿真

分析图 3, 在( $A=0 \rightarrow 1, B=0$ )或( $A=1 \rightarrow 0, B=1$ )期间, 即 XOR 节点  $0 \rightarrow 1$  跳变时, 传输管上拉节点与反馈环下拉节点同时存在, 如果尺寸调节不当, 就会形成额外的竞争延时与功耗. 这是由于 P1(P2)与 N4 形成有比逻辑. 令  $R_{P1}$ 、 $R_{P2}$ 、 $R_{N4}$  分别为 P1、P2、N4 的电阻值. XOR 节点电压在跳变开始时等于  $R_{N4}$  的分压, 当  $R_{N4}$  远大于  $R_{P1}(R_{P2})$  时, 节点电压超过反相器开关阈值, XNOR 节点被下拉, 同时 N4 断开, 正反馈环被切断, 最后 XOR 节点被快速上拉到高电平; 而当  $R_{N4}$  远小于  $R_{P1}(R_{P2})$  时, 节点电压无法超过反相器开关阈值, 从而切断正反馈, XOR 节点无法被快速上拉到高电平. 图 7 仿真结果显示, 当 N4

尺寸固定, P1 与 P2 的宽长比从  $W/L=240 \text{ nm}/60 \text{ nm}$  增大到  $W/L=800 \text{ nm}/60 \text{ nm}$ , 输入( $A=1 \rightarrow 0, B=1$ )时, XOR 上拉延时减少 88.23%, XNOR 下拉延时减少 75.53%; 输入( $A=0 \rightarrow 1, B=0$ )时, XOR 上拉延时减少 92.11%, XNOR 下拉延时减少 79.41%.

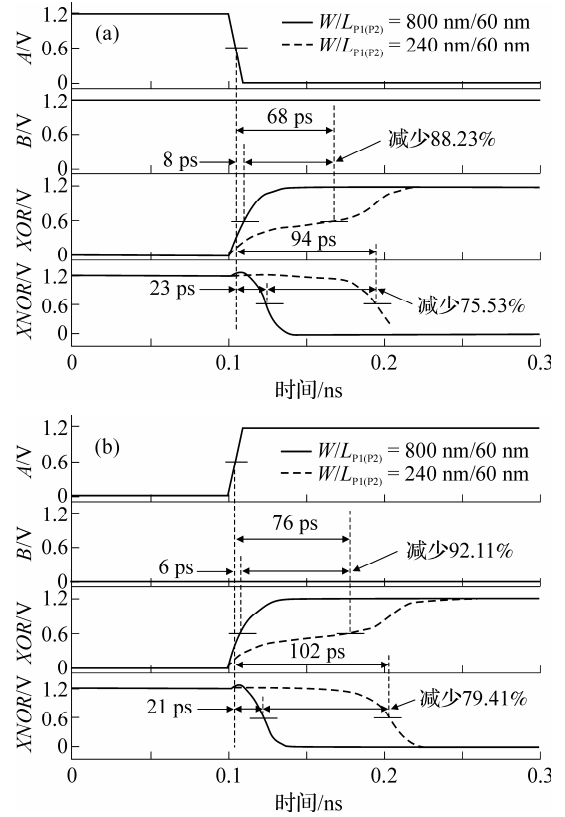


图 7 P1(P2) 2 种尺寸分别(a)输入( $A=1 \rightarrow 0, B=1$ )和(b)输入( $A=0 \rightarrow 1, B=0$ )时正反馈异或/同或门延时

## 2 低延时混合逻辑加法器设计

加法器主要包括异或/同或电路、本位求和电路和进位生成电路(图 8). 混合逻辑是融合多种逻辑优势进行电路设计的方法. 通过对正反馈原理与多种逻辑优点的研究, 利用所设计的正反馈异或/同或门, 实现一种低延时混合逻辑加法器.

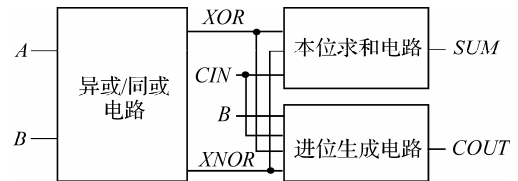


图 8 加法器结构框图

### 2.1 传输门逻辑本位求和电路

本位求和电路输出 SUM 信号, 加法器求和公

式如下:

$$\begin{aligned} SUM &= (A \oplus B) \oplus CIN = XOR \oplus CIN = \\ &XOR \cdot CIN + XNOR \cdot CIN. \end{aligned} \quad (3)$$

$SUM$  信号的输出需要 2 个异或门组合实现. 由于正反馈异或/同或门同时产生  $XOR$ 、 $XNOR$  信号, 并作为后级电路输入, 所以得如图 9 所示的传输门逻辑本位求和电路. 该电路由传输门(P4、N5)和 MOS 管(P5、N6)组成. 当本位求和电路输入( $XOR=0$ ,  $XNOR=1$ )时, 传输门导通, 输出直接与输入相连,  $SUM=XOR \cdot CIN$ ; 当输入( $XOR=1$ ,  $XNOR=0$ )时, 传输门关断, P5 源级接高电平, N6 源级接低电平, P5 与 P6 组成反相器工作,  $SUM=XOR \cdot \overline{CIN}$ . 正常输入情况下,  $SUM$  输出  $V_{DD}$  或者 0 电平, 因此它是一个低阻抗节点. 由于该门在 2 种工作状态下可分别简化成传输门或反相器, 所以具有低延时特点. 图 10 显示当传输门工作时, 输出随输入跳变的

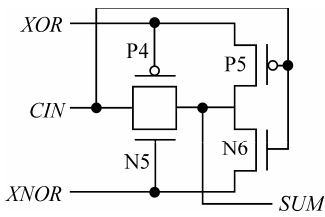


图 9 传输门逻辑本位求和电路

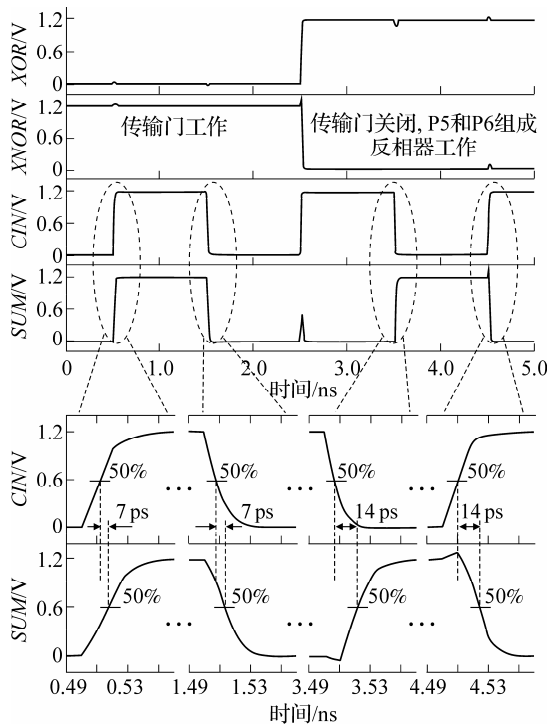


图 10 传输门逻辑本位求和电路仿真波形

上拉延时和下拉延时都为 7 ps; 当传输门关断, P5 和 P6 组成反相器工作时, 输出随输入跳变的上拉延时和下拉延时都为 14 ps.

## 2.2 传输门逻辑进位生成电路

进位生成电路在整个加法器中起到至关重要的作用. 当加法器进位链串接, 单个进位模块的延时将显著影响整个进位链的延时. 进位输出表达式如下:

$$COUT = A \cdot B + (A \oplus B) \cdot CIN. \quad (4)$$

根据式(4)得到, 如果  $A=B$ , 则  $COUT=B$ ; 否则  $COUT=CIN$ <sup>[12]</sup>. 由此得如图 11 的传输门逻辑进位生成电路. 利用异或/同或电路生成的信号, 当输入( $XOR=1$ ,  $XNOR=0$ )时, 传输门(P6、N7)导通, 传输门(P7、N8)关断,  $COUT=CIN$ ; 当输入( $XOR=0$ ,  $XNOR=1$ )时, 传输门(P6、N7)关断, 传输门(P7、N8)导通,  $COUT=B$ . 由于 2 种情况下, 输入到输出之间只有一个传输门的延时, 所以进位生成电路具有低延时特点. 图 12 显示, 传输门逻辑进位生成电路传输延时为 7 ps, 约为一个传输门延时.

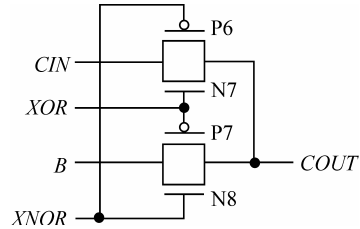


图 11 传输门逻辑进位生成电路

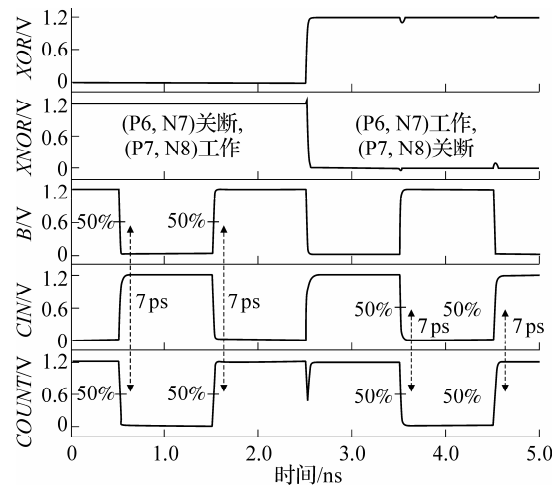


图 12 传输门逻辑进位生成电路仿真波形

## 2.3 正反馈混合逻辑加法器

图 13 为使用传输管逻辑和静态互补 CMOS 逻

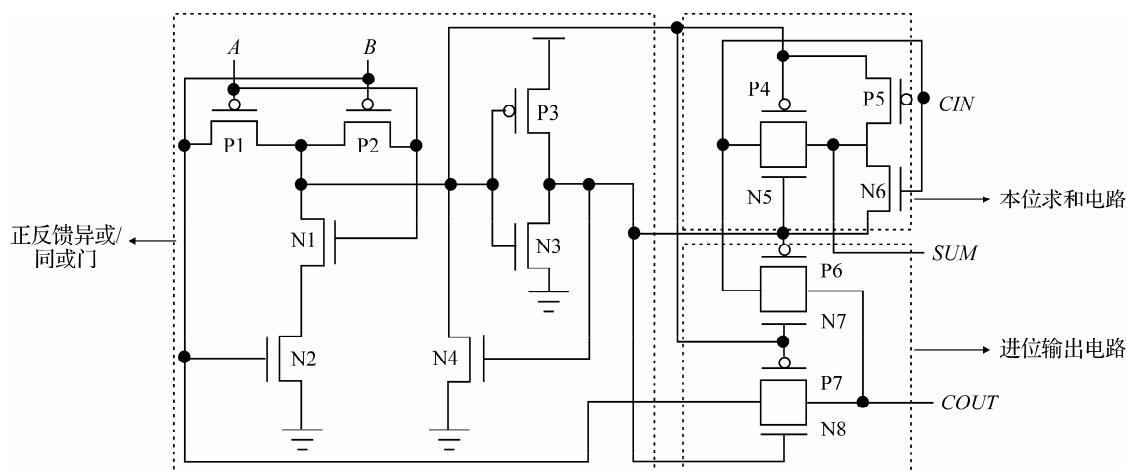


图 13 PFHLA 电路图

辑结合的正反馈异或/同或门、传输门逻辑本位求和电路和进位生成电路设计的正反馈混合逻辑加法器(Positive Feedback Hybrid Logic Adder, PFHLA)。PFHLA 基于传输门逻辑减少晶体管数量,利用静态互补 CMOS 逻辑的正反馈电路实现无阈值损失同时减少延时,且内部反相器(P3, N3)使传输门逻辑的低延时本位求和电路和进位生成电路驱动能力增强。在 TSMC 65nm CMOS 工艺下,采用 Virtuoso 软件得到 15 个晶体管组成的 PFHLA 全定制版图,面积为  $11.90 \mu\text{m}^2$ ,具体版图如图 14 所示。图中,输入信号 A、B、CIN 和输出信号 COUT、SUM 通过金属层 M2 传导。

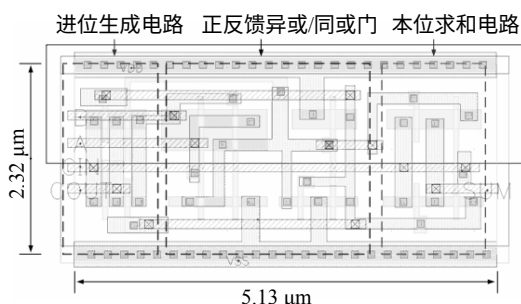


图 14 PFHLA 版图

### 3 实验结果与分析

在 TSMC 65 nm CMOS 工艺下,使用 1.2 V 供电电压,负载为两级反相器,利用 HSPICE 软件对所设计的电路进行仿真。

#### 3.1 功耗分析

对于加法器每一次 0→1 跳变,负载电容  $C_{\text{load}}$  都会有一个  $V_{\text{DD}}$  的电压变化,从而消耗  $C_{\text{load}} \times V_{\text{DD}}^2$

的能量。而对  $N$  个节点中的单个节点  $i$ , 0→1 跳变概率为  $\alpha_i$ , 若运行在时钟频率  $f$  下,可得动态功耗表达式如下:

$$P_{\text{dynamic}} = V_{\text{DD}}^2 \times f \times \sum_{i=1}^N \alpha_i \times C_{\text{load}i} \quad (5)$$

节点负载电容是影响动态功耗的关键因素,而尺寸又和电容成正比,所以减小晶体管尺寸可以降低动态功耗。虽然在大部分节点中,这是可行方案,但在正反馈异或/同或门中,如果降低晶体管尺寸,而忽略 P1(P2)和 N4 组成的有比逻辑电路,就会使功耗剧增。图 15 显示,晶体管 P1(P2)宽度  $W$  从 800 nm 减小到 400 nm,尺寸减小一半,但正反馈异或/同或门功耗却从 9.325 6 fJ 上升到 12.942 4 fJ,增大 38.78%。这是由于当 XOR 输出 0→1 跳变时,输入高电平上拉 XOR 节点,同时正反馈回路若没有被快速切断,仍然会下拉节点,导致输出上拉延时增大,电路长时间工作在 0.6 V 附近,功耗也随之增大。

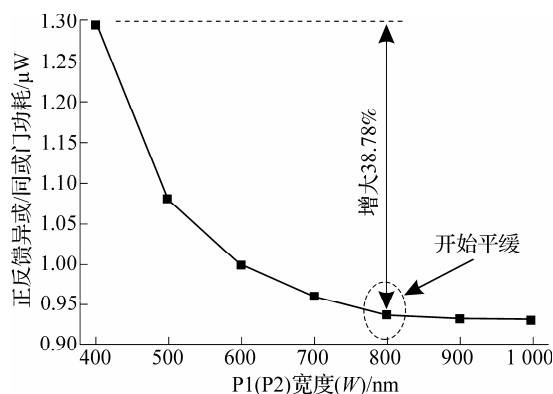


图 15 P1(P2)不同尺寸下正反馈异或/同或门功耗

当内部节点存在阈值损失时, 电路由于长时间工作在阈值电压  $V_T$  附近, 总功耗骤增. PFHLA 利用正反馈电路弥补阈值损失, 同时利用有比逻辑尺寸差使正反馈环在特定输入情况下能快速切断, 减少额外的竞争延时与功耗. 表 1 数据显示, 存在内部阈值损失节点的 CPL 加法器平均功耗高达  $7.6096 \mu\text{W}$ , 而解决阈值损失的 PFHLA 与其相比平均功耗降低 82.59%.

表 1 与相关文献比较

| 文献  | 加法器     | 晶体管数 | 最大延时/ps | 平均功耗/ $\mu\text{W}$ | 功耗延时积/fJ |
|-----|---------|------|---------|---------------------|----------|
| [4] | 互补 CMOS | 28   | 106     | 1.210 1             | 0.128 2  |
| [5] | CPL     | 32   | 308     | 7.609 6             | 2.343 8  |
| [7] | TGA     | 24   | 102     | 1.297 1             | 0.132 3  |
| [8] | TFA     | 16   | 155     | 1.175 3             | 0.182 1  |
| [9] | 14T     | 14   | 139     | 1.096 3             | 0.152 4  |
| 本文  | PFHLA   | 15   | 89      | 1.324 9             | 0.117 9  |

### 3.2 延时分析

由于加法器是大多数系统的基础模块, 所以提高加法器的速度能够有效减少系统整体延时. 在 PFHLA 异或/同或电路设计中, 正反馈环有效弥补了传输管阈值损失, 使  $XOR$  输出全摆幅, 并且进一步减少电路延时. 图 6 延时对比仿真结果显示, 正反馈异或/同或门与 6T 异或/同或门相比较, 其  $XNOR$  信号上拉延时和总延时分别减少 28.33% 和 21.43%. PFHLA 内部 XOR 节点上跳变时, 为了快速切断正反馈环, 减少上拉与下拉竞争导致的延时, 需要增大 2 个晶体管 P1 和 P2 的宽度  $W$ . 图 16 显示 PFHLA 与拥有大量内部阈值损失节点的 CPL 加法器相比较延时降低 71.10%.

加法器级联成进位链时, 其关键路径即为进位输入到进位输出的路径. 根据延时公式:

$$t_d = 0.69RC, \quad (5)$$

可得减小传播路径电阻, 即可减少延时. PFHLA 进位输入到进位输出之间只有一个传输门, 而传输门由 NMOS 管和 PMOS 管源极、漏极分别连接组成, 相当于 2 个电阻并联, 所以增大传输门尺寸(宽度  $W$ )可减小通路电阻  $R$ , 进而减少延时.

PFHLA 基于传输管逻辑设计异或/同或电路, 可有效减少晶体管数量与版图面积; 利用静态互补 CMOS 逻辑的正反馈电路弥补阈值损失、减少

延时, 并增加后级驱动能力; 依据传输门逻辑低延时特点设计本位求和电路和进位生成电路. 图 16 显示, 结合多种逻辑优点的 PFHLA 与 TGA 相比, 延时减少 12.75%, PDP 减小 10.88%.

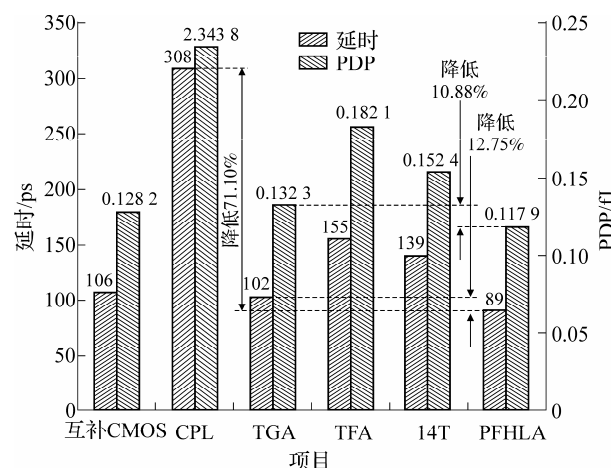


图 16 不同加法器延时和 PDP 比较

## 4 结论

本文首先分析了传输管异或门阈值损失的成因, 结合正反馈原理设计静态互补 CMOS 逻辑反馈环电路弥补阈值损失; 然后利用有比逻辑尺寸差, 减少正反馈异或/同或门输出延时; 最后与传输门逻辑进位生成电路和本位求和电路融合, 设计低延时无阈值损失 PFHLA. 在 TSMC 65 nm CMOS 工艺下, HSPICE 仿真结果表明, PFHLA 延时为 89 ps, PDP 为 0.117 9 fJ, 与 TGA 的延时和 PDP 相比分别降低 12.75% 和 10.88%. 由于低延时 PFHLA 在高速计算电路中具有广阔应用前景, 其使用正反馈电路的方法对设计全摆幅输出电路具有借鉴意义, 同时也有利于推动高速集成电路的快速发展.

### 参考文献:

- [1] 梁蓓, 马奎, 杨发顺, 等. 一种高速低功耗 MOS 电流模逻辑加法器的设计[J]. 微电子学, 2013, 43(3):409-412.
- [2] Bhagyalaxmi T, Rajendar S, Srinivas S. Power-aware alternative adder cell structure using swing restored complementary pass transistor logic at 45 nm technology [J]. Procedia Materials Science, 2015, 10:789-792.
- [3] Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits: A Design Perspective[M]. 2nd ed.

- Delhi, India: Pearson Education, 2003:60-450.
- [4] Basireddy H R, Challa K, Nikoubin T. Hybrid logical effort for hybrid logic style full adders in multistage structures[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(5):1138-1147.
- [5] Wairya S, Nagaria R K, Tiwari S. New design methodologies for high-speed low-voltage 1-bit CMOS full adder circuits[J]. Computer Technology and Application, 2011, 2(3):190-198.
- [6] 王宗静, 齐家月. 低功耗非全摆幅互补传输管加法器[J]. 微电子学与计算机, 2006, 23(5):8-11.
- [7] Bhattacharyya P, Kundu B, Ghosh S, et al. Performance analysis of a low-power high-speed hybrid 1-bit full adder circuit[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(10):2001-2008.
- [8] Ghadiry M, Nadi M, A'Ain A K, et al. DLPA: Discrepant low PDP 8-bit adder[J]. Circuits, Systems and Signal Processing, 2013, 32(1):1-14.
- [9] Naseri H, Timarchi S. Low-power and fast full adder by exploring new XOR and XNOR gates[J]. IEEE Transactions on Very Large Scale Integration Systems, 2018, 26(8):1481-1493.
- [10] Valashani M A, Mirzakuchaki S. A novel fast, low-power and high-performance XOR-XNOR cell[C]. IEEE International Symposium on Circuits and Systems, Montreal, Canada, 2016: 694-697.
- [11] Amini V M, Ayat M, Mirzakuchaki S. Design and analysis of a novel low-power and energy-efficient 18T hybrid full adder[J]. Microelectronics Journal, 2018, 74: 49-59.
- [12] Kumar P, Sharma R K. Low voltage high performance hybrid full adder[J]. Engineering Science and Technology, An International Journal, 2016, 19(1):559-565.

## Design of low delay hybrid logic adder based on positive feedback XOR/XNOR gate

YE Shunxin<sup>1</sup>, WANG Pengjun<sup>1,2\*</sup>, WEN Liang<sup>3</sup>, ZHANG Yuejun<sup>1</sup>, ZHANG Xiaotian<sup>1</sup>

(1. Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China;

2. College of Electrical and Electronic Engineering, Wenzhou University, Wenzhou 325035, China;

3. Department of Electronic Technology, China Coast Guard Academy, Ningbo 315801, China )

**Abstract:** In order to solve the problems of threshold loss and high delay in pass transistor logic adder, we propose a positive feedback hybrid logic adder with low delay and no threshold loss. Firstly, the threshold loss of pass transistor logic XOR gate is analyzed, and a full-swing XOR/XNOR gate is designed according to voltage locking of positive feedback circuit. Then, the delay of proposed gate is mitigated based on the size difference of transistors in proportional to the logic circuit. Lastly, by taking advantage of pass transistor logic, transmission gate logic and static complementary CMOS logic, a low delay hybrid logic adder with no threshold loss is designed. The simulation results indicate that the presented hybrid logic adder accomplishes 12.75% improvement in speed performance and 10.88% reduction in PDP as compared with the transmission gate full adder using a TSMC 65 nm fabrication process.

**Keywords:** positive feedback; XOR/XNOR gate; low delay; threshold loss; hybrid logic adder

(责任编辑 章践立)