

基于互连线电容耦合的 SR 锁存电路研究

赵志伟¹, 张跃军^{1,2*}, 李 林¹

(1. 宁波大学 信息科学与工程学院, 浙江 宁波 315211; 2. 密码科学技术国家重点实验室, 北京 100878)

摘要: 通过对线间电容耦合模型的研究, 提出了一种基于互连线电容耦合的 SR 锁存电路设计方案. 该方案首先分析互连线间电容耦合关系, 利用 MOS 管栅极电容模拟互连线电容; 然后利用电容耦合结构与线计算特性, 设计或非逻辑门电路, 在此基础上实现基于互连线电容耦合的 SR 锁存电路; 最后在 TSMC 65 nm Spectre 环境下仿真验证. 结果表明: 所设计的电路逻辑功能正确, 且具有低硬件开销特性.

关键词: 或非门; SR 锁存电路; 线电容耦合; 电路设计

中图分类号: TP332

文献标志码: A

文章编号: 1001-5132 (2020) 03-0050-07

时序逻辑已成为当今电子电路发展的基本结构. 时序逻辑可以构造有限状态机, 并且与组合逻辑融合构建出多种功能集成电路, 其中存储元件是时序电路中最为关键的元件之一, 且 SR 锁存电路是构建各种存储元件的基础. 因此, 深入研究 SR 锁存电路, 对促进集成电路的整体发展具有深远的意义^[1].

触发器是构成时序逻辑电路的基础, 常见的触发器有 SR 触发器、JK 触发器、D 触发器. 随着互连线的空间尺寸越来越小, 导致出现诸多问题, 例如电路中的噪声. 工业界为解决金属线宽越来越小而造成电阻增大的问题, 采取了互连线高宽比随工艺尺寸缩小不断增大的方法^[2], 但增加金属线垂直厚度会增加横向电容, 造成多层金属间横向电容占线间总电容的比重不断上升, 从而加剧互连线间电容耦合噪声^[3].

耦合噪声是指当信号在传输线上传播时, 由于金属导体之间电磁耦合, 对附近金属连线产生电压干扰. 噪声是由于互连金属线间的互感或互容耦合造成. 耦合电容主要从两方面影响电路的性能^[4-5]: (1) 延迟噪声; (2) 功能噪声. 工艺节点越来越小导致噪声逐渐变得不可避免.

互连线电容耦合而导致的时间延迟及信号完整性问题凸显, 已经引起集成电路设计者的广泛关注. 文献[6]提出了具有单个尾电流和多个堆栈的互补金属氧化物半导体(Complementary Metal-oxide-semiconductor, CMOS)晶体管结构的 SR 动态锁存电路, 但其限制输出端优化速度和低电压操作, 造成 Q 与 $\bar{Q}$ 两端信号输出延时不同. 文献[7]提出了基于双尾电流动态 SR 门锁, 解决了 SR 锁存电路两端输出信号非对称输出问题, 但增大了锁存器的面积开销. 文献[8]提出在先进工艺中采用头对头 CMOS 管排列方式, 降低边沿跳变时的延迟时间和面积开销, 但在长距离连线时存在线串扰问题.

本文利用互连线间电容耦合设计或非单元电路, 并基于线电容耦合或非门设计出 SR 锁存电路. 由于 SR 锁存电路采用互连线间耦合电容实现了逻辑功能, 该功能在后端版图没有以金属-氧化物-半导体(Metal-oxide-semiconductor, MOS)管的形式体现, 因此可以有效地防止逆向工程攻击. 本文所提出的电路采用 TSMC 65 nm CMOS 工艺实现, 并且通过 Spectre 验证或非门及 SR 锁存电路功能和性能.

收稿日期: 2019-09-19.

宁波大学学报(理工版) 网址: <http://journal.lg.nbu.edu.cn/>

基金项目: 国家自然科学基金(61871244, 61874078); 浙江省自然科学基金(LY18F040002); 国家重点实验室开放课题(MMKFKT20187); 专用集成电路与系统国家重点实验室开放研究课题(2019KF002); 宁波大学研究生科研创新项目.

第一作者: 赵志伟(1995-), 男, 江苏宿迁人, 在读硕士研究生, 主要研究方向: 全定制集成电路设计. E-mail: 1186053330@qq.com

*通信作者: 张跃军(1982-), 男, 浙江宁波人, 博士/副教授, 主要研究方向: 安全芯片理论和设计等. E-mail: zhangyuejun@nbu.edu.cn

1 互连线电容耦合机理及模型

1.1 互连线电容耦合机理

信号在 2 条平行互连线传输时干扰线与受扰线信号之间有 4 种关系: (1) 干扰线电压信号产生变化, 受扰线电压恒定不变; (2) 干扰线电压信号恒定不变, 受扰线电压信号产生变化; (3) 干扰线与受扰线电压信号相反方向改变; (4) 干扰线与受扰线电压信号相同方向改变. 为量化线间电容耦合关系, 采用多层金属线模型表示线间电容(图 1).

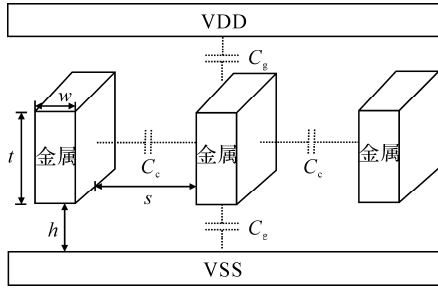


图 1 多层互连线结构中的电容耦合

互连线顶端接电源 VDD, 底部接地 VSS, 每条金属线为平行板电容器的极板, 金属线和地之间、金属线和电源形成的电容用 C_g 表示, 互连线间侧向电容用 C_c 表示. 金属线长、宽、厚、距离分别用变量 l 、 w 、 t 、 s 表示, 互连线和地的间距用 h 表示, ε 为介电常数. 耦合电容值大小随金属线间距增大而减小, 且与线层间介质的介电常数和相对面积成正比. 通过改变金属线长、宽等变量, 调节互连线间参数, 可实现不同大小的耦合电容, 故具有自主可控的特性. 该模型中互连线总电容 C_{total} 的计算公式为^[9-10]:

$$C_{total} = 2(C_g + C_c), \quad (1)$$

其中:

$$C_g = \varepsilon \left(\frac{w}{h} + 2.04 \left(\frac{s}{s + 0.54h} \right)^{1.77} \left(\frac{t}{t + 4.53h} \right)^{0.77} \right), \quad (2)$$

$$C_c = \varepsilon \left(1.41 \frac{t}{s} e^{-\frac{4s}{s+8.01h}} + 2.37 \left(\frac{w}{w + 0.31s} \right)^{0.28} \left(\frac{h}{h + 8.996} \right)^{0.76} e^{-\frac{2s}{s+6h}} \right). \quad (3)$$

1.2 互连线电容耦合模型

基于文献[11-12]互连线电容耦合和栅电容的概

念, 本文提出了一种互连线电容耦合电路模型(图 2). 图 2 中 M_1 管和 M_2 管的硅衬底和栅极接地后形成大电阻后串联接 VDD 和 VSS, 以模拟实际器件中 VDD 通过 SiO_2 绝缘介质层到达受扰金属线. 耦合信号通过电容 C_1 和电容 C_2 输出到节点 V , 通过调节电容 C_1 和 C_2 大小来模拟周围干扰线对受扰线产生的影响. 2 条金属线间距较小或互连线金属层纵向相对面积较大时, 受扰线与干扰线之间的耦合电容则增大, 受扰线受到干扰线的作用程度较强. 当干扰线距离受扰线较小或金属层纵向相对面积较小时, 受扰线与干扰线之间的耦合电容则减小, 受扰线受到干扰线的作用相对较弱. 当干扰线分别从输入 1 和输入 2 端口分别输入信号时, 经过耦合电容的感应作用, 会在节点 V 处产生相应耦合电平信号.

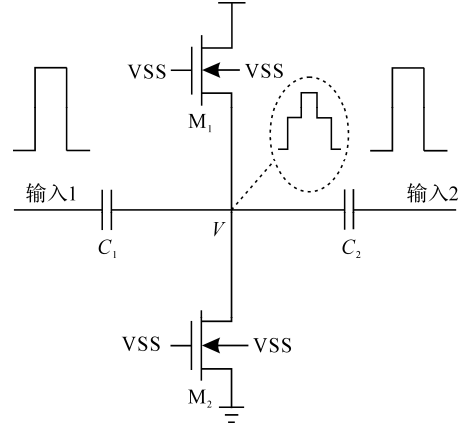


图 2 互连线电容耦合模型

2 线电容耦合 SR 锁存电路设计

触发器是数字电路的核心模块, 本节将在互连线电容耦合模型的基础上提出线电容耦合逻辑设计方法, 并且实现了具有线计算能力的 SR 锁存电路.

2.1 线电容耦合或非门设计

利用线电容耦合逻辑设计二输入或非门, 电路结构如图 3(a)所示, 版图如图 3(b)所示, 对应的晶体管参数见表 1. 二输入或非门电路逻辑为 $Y = \overline{A + B}$, 忽略互连线间耦合电容面积和保护环部分面积, 二输入线电容耦合门部分面积为 $2.842 \mu\text{m}^2$. 或非门由 4 个 MOS 管和 1 个低阈值反相器 L 组成. M_1 管的源极和漏极与硅衬底分别相连接以形成 MOS 管电容; 同时, M_2 管的源极和漏极与硅

衬底分别相连接以形成 MOS 管电容. MOS 管的宽和长用 W 和 L 表示, M_3 管和 M_4 管的硅衬底和栅极接地后源和栅极互相串联, 为信号 A 和信号 B 输入提供隔离条件. 当信号 A 和信号 B 输入时, 会在受扰线上产生高/中/低耦合电压信号. 由于下一级电路的输入门电路阈值电压不同, 中间电平会被识别为高电平或低电平逻辑. 为保证门电路产生正确逻辑, 且考虑到门电路能够驱动下一级电路正常工作, 故在耦合节点 V 处连接低阈值反相器 L 以保证电路正常工作. 或非门电路工作过程为: 当信号 A 和信号 B 输入时, 经过 M_1 管和 M_2 管形成耦合电容后在 V 点产生感应电压, 利用低阈值反相器采样, 输出或非逻辑.

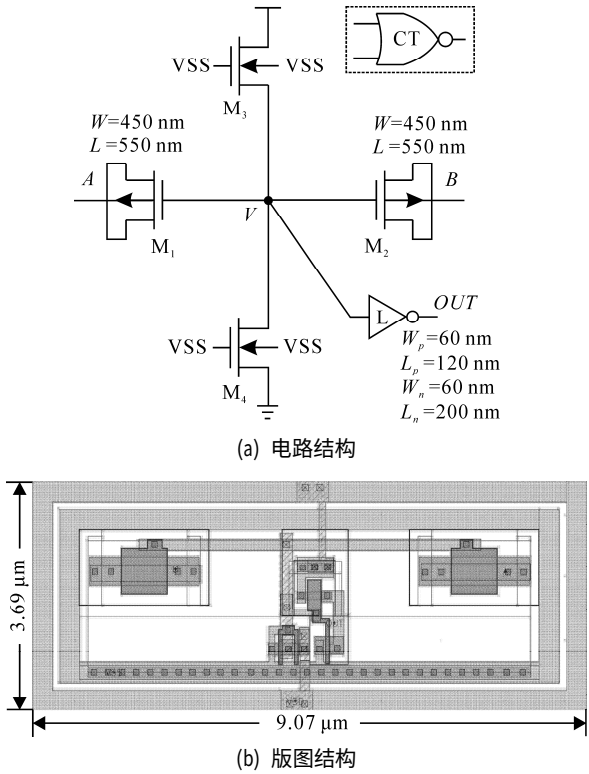


图3 基于线电容耦合的二输入或非门电路及版图

表1 线电容耦合二输入或非门 MOS 管参数 nm

MOS 管名称	W	L
M_1	450	550
M_2	450	550
M_3	60	200
M_4	60	200
INV-PMOS	60	120
INV-NMOS	60	200

三输入或非门电路结构如图 4(a)所示, 版图如图 4(b)所示, 对应的晶体管参数见表 2. 三输入或非门电路逻辑为 $Y = \overline{A + B + C}$, 忽略互连线间耦合电容面积和保护环部分面积, 三输入线电容耦合门部分面积为 $2.84 \mu\text{m}^2$. 在电路结构上, 三输入或非门相比于二输入或非门多输入信号 C . 输入信号经过多个电容耦合后皆会在节点 V 处产生感应电压, 利用低阈值反相器采样, 最终在 OUT 端口输出或非信号.

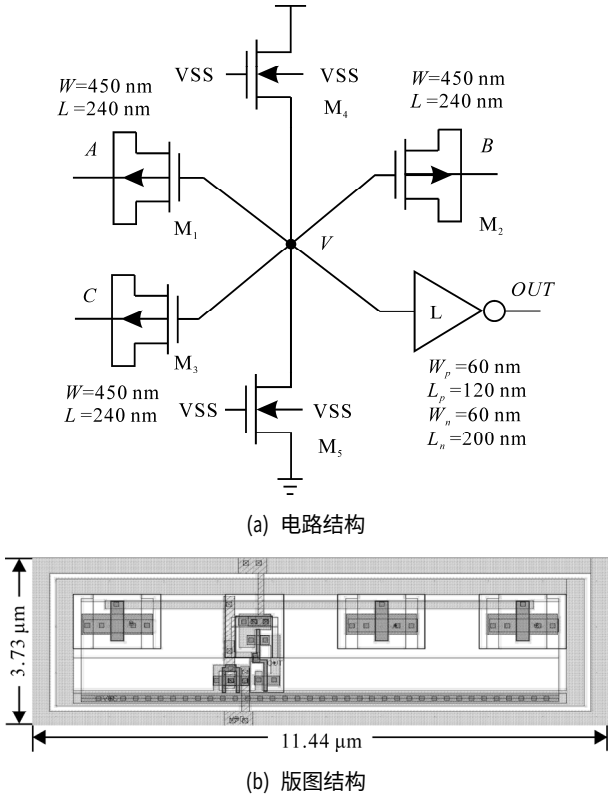


图4 基于线电容耦合的三输入或非门电路及版图

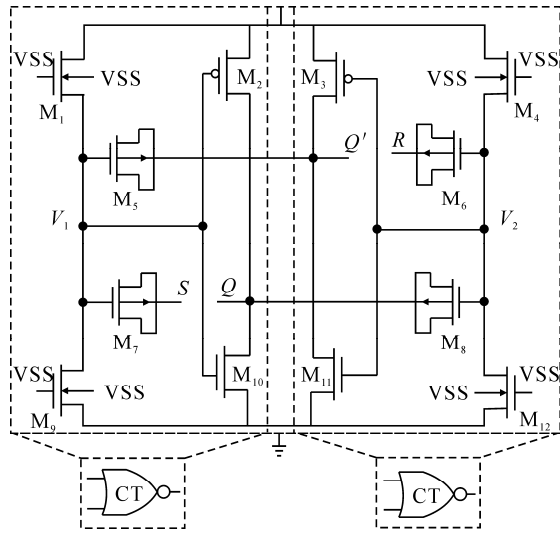
表2 线电容耦合三输入或非门 MOS 管参数 nm

MOS 管名称	W	L
M_1	450	240
M_2	450	240
M_3	450	240
M_4	60	200
M_5	60	200
INV-PMOS	60	120
INV-NMOS	60	200

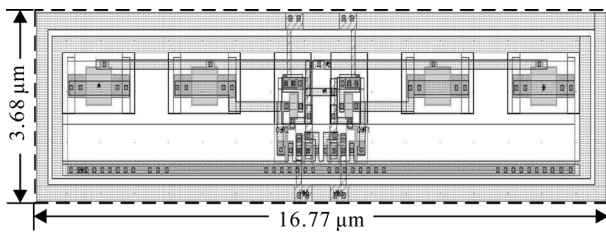
2.2 基于线电容耦合 SR 锁存电路设计

基于互连线电容耦合的 SR 锁存电路结构如图

5(a)所示, 对应的晶体管参数见表 3. 线电容耦合 SR 电路逻辑式为 $Q^* = S + \bar{R}Q$. 前状态 Q 经过互连线之间耦合电容 M_5 后在节点 V_1 产生耦合电压信号; 同时信号 S 从端口输入, 经过互连线间电容 M_7 耦合作用后, 在节点 V_1 处产生耦合电压信号.



(a) 电路结构



(b) 版图结构

图 5 基于线电容耦合的 SR 锁存电路及版图

表 3 线电容耦合 SR 锁存电路 MOS 管参数 nm

MOS 名称	W	L
M_1	60	200
M_2	120	235
M_3	120	220
M_4	60	200
M_5	545	800
M_6	545	1500
M_7	545	800
M_8	545	1500
M_9	60	200
M_{10}	380	60
M_{11}	300	60
M_{12}	60	200

状态 Q 信号和 S 信号在节点 V_1 叠加的电容耦合信号, 再利用 M_2 和 M_{10} 所构成的低阈值反相器采样状态信号 Q 和信号 S 在节点 V_1 叠加的电容耦合信号, 从端口输出新状态逻辑信号 Q . 同理, 状态 Q 经过互连线之间的耦合电容 M_8 后在节点 V_2 产生耦合电压信号; 同时信号 R 从端口输入, 经过互连线之间的耦合电容 M_6 作用后, 在节点 V_2 处产生耦合电压信号. 状态信号 Q 和信号 R 在节点 V_2 处叠加的电容耦合信号, 再利用 M_3 和 M_{11} 所构成的低阈值反相器采样后, 从端口输出逻辑信号 Q' . SR 锁存电路版图如图 5(b)所示. 忽略互连线间耦合电容面积和保护环部分面积, 线电容耦合 SR 锁存电路面积为 $4.06 \mu\text{m}^2$. 多级线串扰或非门级联时, 由于金属互连线间电容耦合对输入电容、连线电容、负载电容较为敏感, 可以通过调节反相器阈值电压、改变 CMOS 晶体管类型、调整或非门电路级联结构等方式, 使输出端正确输出逻辑值信号.

带异步置位、复位端 SR 锁存电路结构如图 6 所示, 由 2 个三输入线电容耦合或非电路及 2 个 CMOS 与非电路组成. 带异步置位、复位端的 SR 电路逻辑为 $Q^* = R'_D(S'_D + C_{CLK}(S + \bar{R}Q))$. 带异步置位、复位端 SR 锁存电路相比于无置位复位端 SR 锁存电路, 在电路结构上多出置位信号 S'_D 、清零信号 R'_D 和时钟信号 C_{CLK} . 当输入高电平置位信号 S'_D 时, 信号经过耦合电容 M_2 后在节点 V_1 处产生耦合电压信号, 再利用 M_3 和 M_4 组成的低阈值反相器对信号进行采样, 从 Q' 端口输出低电平信号; 信号再经过耦合电容 M_8 后在节点 V_2 处产生低电平信号, 利用 M_5 和 M_6 组成的低阈值反相器对信号进行采样后, 在节点 Q 处产生高电平信号, 完成置位操作. 同理, 清零信号在完成清零操作后, 在 Q 端口输出

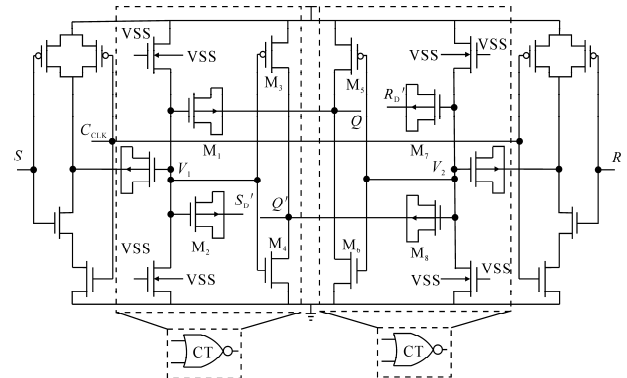


图 6 带异步置位、复位端的 SR 锁存电路

低电平信号。

3 实验结果与分析

仿真验证环境包括服务器型号 Intel Xeon(R) Dual-Core CPU 2.0 GHz, 6 G RAM Cadence Virtuoso IC617. 所设计电路采用 TSMC 65 nm CMOS 工艺, Cadence Spectre 工具进行后端版图瞬态仿真分析, 遍历所有激励。

3.1 或非门电路仿真

基于线电容耦合的二输入或非门仿真结果曲线如图 7(a)所示。当时间为 2.5 ns 时, $A=0, B=0$, 在节点 V 感应出电压信号后, 利用低阈值反相器采样得到 $OUT=1$; 当时间为 3.5 ns 时, $A=1, B=1$, 在节点 V 产生出介于高低电平信号的 0.71 V 感应电压, 利用低阈值反相器采样得到 $OUT=0$; 当时间为 4.5 ns 时, $A=0, B=1$, 在节点 V 产生 0.49 V 感应电压, 利用低阈值反相器采样得到 $OUT=0$; 当时间为 5.5 ns 时, $A=1, B=0$, 在节点 V 产生出介于高低电平信号的 0.49 V 感应电压, 利用低阈值反相器采样后整形得到 $OUT=0$ 。或非门电路输出端信号延迟时间如图 7(b)所示, 输出端的上升延迟时间为 10.8 ps, 下降延迟时间为 8.9 ps。

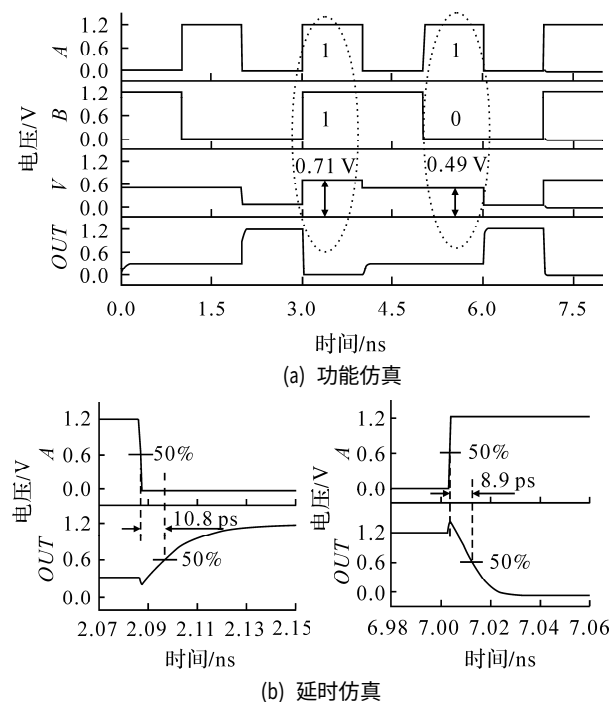


图7 二输入或非门仿真图

三输入或非门仿真结果曲线如图 8(a)所示。从

图 8(a)可见, 当输入信号在 4 ns 时, $A=0, B=0, C=0$, 在节点 V 端口产生的感应电压值最低, 利用低阈值反相器采样后得到 $OUT=1$; 当 A, B, C 输入 1 个或者 1 个以上的高电平信号时, 输出端口得到 $Q=0$ 。三输入或非门电路输出端信号延迟时间如图 8(b)所示, 输出端的上升延迟时间为 12.8 ps, 下降延迟时间为 5.2 ps。

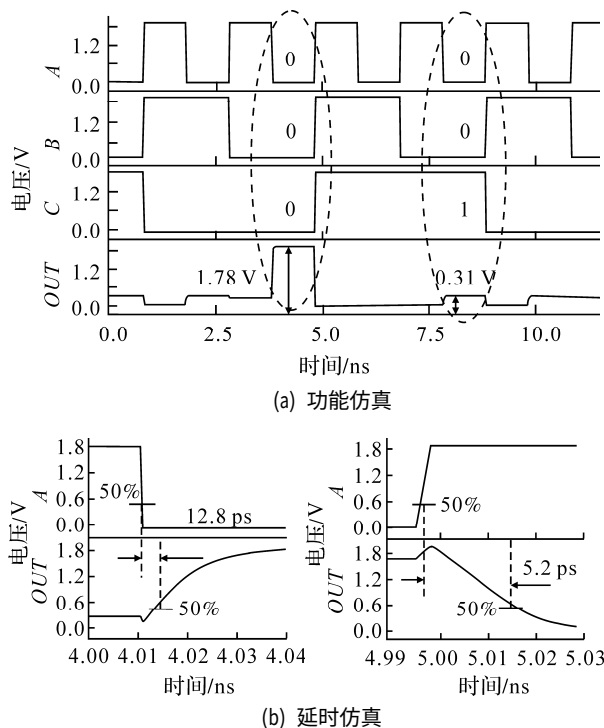


图8 三输入或非门仿真图

3.2 SR 锁存电路仿真

基于线电容耦合的 SR 锁存电路仿真结果如图 9(a)所示。当时间为 3 ns 时, $R=0, S=0$, 在节点 V_1 产生感应电压信号, 利用低阈值反相器采样得到 $Q=0$; 当时间为 4.5 ns 时, $R=1, S=1$, 在节点 V_1 产生感应电压, 利用低阈值反相器采样得到信号 Q 输出不定态; 当时间为 7.5 ns 时, $R=0, S=1$, 在节点 V_1 产生感应电压, 利用低阈值反相器采样得到 $Q=0$; 当时间为 9 ns 时, $R=1, S=0$, 在节点 V_1 产生感应电压, 利用低阈值反相器采样得到 $Q=0$ 。SR 锁存电路输出端信号延迟时间如图 9(b)所示, 输出端信号 Q 上升延迟时间为 55.9 ps, 下降延迟时间为 116.6 ps; 输出端信号 Q' 上升延迟时间为 59.4 ps, 下降延迟时间为 117.2 ps。由于 SR 锁存电路具有抗线串扰能力, 故在电路结构上特殊, 导致延时较大。其原

因主要是: (1)采用了低阈值反相器结构; (2)SR 电路结构本身就是基于长距离互连线间较弱的耦合电容所设计. 所以本设计的噪声容限低. SR 锁存电路的噪声容限主要体现在 2 个方面: (1)低电平噪声容限范围为 0~0.3 V; (2)高电平噪声容限范围为 1.0~1.2 V. 由于负载不同, 负载电路的输入电阻电容也不相同. 为了准确衡量电路性能, 且保证电路在不同负载下工作正常, 本文对 SR 电路进行带负载仿真, 其延时情况见表 4.

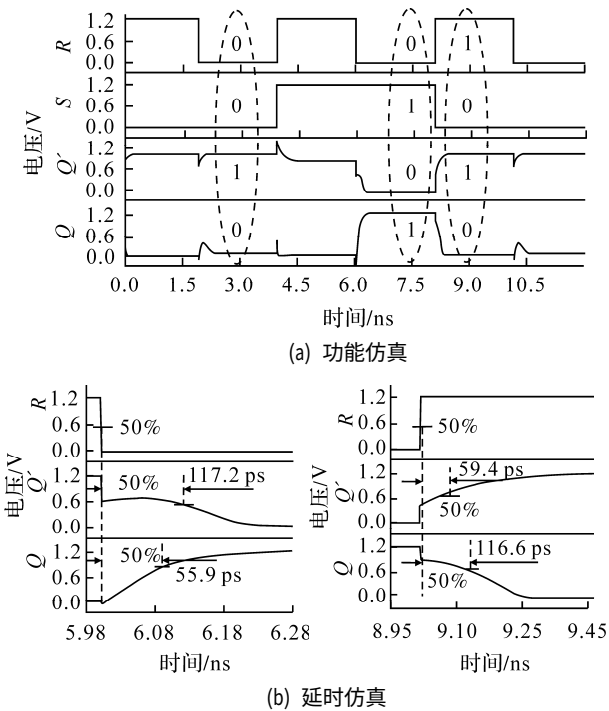


图 9 SR 锁存电路仿真

表 4 SR 锁存电路不同负载延时 ps

电路	无负载	负载 1	负载 2	负载 3
Q 上升	55.9	104.6	152.4	302.8
Q 下降	116.6	166.2	169.3	313.2
Q' 上升	59.4	78.9	92.4	209.2
Q' 下降	117.2	236.3	321.1	503.1

3.3 与相关文献比较

与相关文献比较结果见表 5 和表 6. 从表 5 可看出, 三输入或非门电路面积相比于文献[13]减少了 37.7%, 相比于文献[14]减少了 67.5%, 相比于 TSMC 65 nm 工艺库减少了 21.3%. 从表 6 可看出, SR 锁存电路面积相比于文献[7]减少了 34.2%, 相比于文献[15]减少了 79.2%. 同时, 与传统电路相比, 集成电路的计算能力有所提高.

表 5 三输入或非对比结果

电路	工艺/nm	MOS 数量/个	面积/ μm^2	线计算
文献[13]	65	9	4.56	否
文献[14]	90	9	8.75	否
TSMC 65/NR3D1	65	6	3.61	否
本文	65	4	2.84	是

表 6 SR 锁存电路对比结果

电路	工艺/nm	MOS 数量/个	面积/ μm^2	线计算
文献[7]	90	12	6.17	否
文献[15]	180	21	19.58	否
本文	65	8	4.06	是

4 结论

本文研究了基于互连线电容的影响因素, 提出了线电容耦合电路模型, 并根据互连电容耦合原理设计了或非门电路和 SR 锁存电路. 通过在 TSMC 65 nm CMOS 环境下仿真验证, 表明所设计电路的逻辑功能正确. 同时, 由于或非门中反相器的 PMOS 和 NMOS 的宽度 W 较大, 所以带负载能力较强, 可与下一级电路进行级联, 使整个电路具备可扩展性. 在设计全定制抗逆向工程电路版图时, 关键模块中 SR 锁存电路采用了本文设计的 SR 锁存电路, 可防止逆向工程攻击. 但对于提高门电路噪声容限、增强门电路带负载能力等问题, 仍亟待进一步研究.

参考文献:

[1] Negi S, Rana A, Baliga A K, et al. Performance analysis of dual gate organic thin film transistor and organic SR latch application[C]//International Conference on Computing, Communication & Automation, 2015:1427-1432.

[2] Balan T S, Devadas B, Srivastava G K. Suppression of common and differential component of crosstalk coupling onto the differential line and field analysis of the crosstalk[C]//2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity, 2018: 260-264.

[3] Shakoorzadeh N, Hanna A, Iyer S. Bilayer passivation film for Cu interconnects on Si interconnect fabric[C]//2019 IEEE International Reliability Physics Symposium, 2019:1-5.

[4] Macha N K, Chitturi V, Vijjapuram R, et al. A new concept for computing using interconnect crosstalks[C]//

- 2017 IEEE International Conference on Rebooting Computing, 2017:1-2.
- [5] Macha N K, Geedipally S, Repalle B, et al. Crosstalk based fine grained reconfiguration techniques for polymorphic circuits[C]//Proceedings of the 14th IEEE/ACM International Symposium on Nanoscale Architectures, 2018:1-7.
- [6] Lin Y, Doris K, Hegt H, et al. A dynamic latched comparator for low supply voltages down to 0.45 V in 65 nm CMOS[C]//2012 IEEE International Symposium on Circuits and Systems, 2012:2737-2740.
- [7] Savani V, Devashrayee N M. Analysis & characterization of dual tail current based dynamic latch comparator with modified SR latch using 90nm technology[C]//19th International Symposium on VLSI Design and Test, 2015:1-2.
- [8] Bhoj A N, Jha N K. Design of logic gates and flip-flops in high-performance FinFET technology[J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 21(11):1975-1988.
- [9] Chen Q, Xie L F, Chockalingam R, et al. A study of pattern density and process variations impact on the reliability performance of multi-level capacitance structure in low- k copper interconnects[C]//2018 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, 2018:1-3.
- [10] Kasai R, Kanamoto T, Imai M, et al. Neural network-based 3D IC interconnect capacitance extraction[C]//2nd International Conference on Communication Engineering and Technology, 2019:168-172.
- [11] Loto O, Florentin M, Masante C, et al. Gate oxide electrical stability of p -type diamond MOS capacitors[J]. IEEE Transactions on Electron Devices, 2018, 65(8): 3361-3364.
- [12] Nezasa R, Kurokawa Y, Usami N. Evaluation of Si nanowire MOS capacitor using high- k dielectric materials [C]//IEEE 18th International Conference on Nanotechnology, 2018:1-4.
- [13] Dadashi A, Mirmotahari O, Berg Y. An ultra-low-voltage, semi-floating-gate, domino, dual-rail, NOR gate[C]//2015 IEEE International Conference on Electronics, Circuits, and Systems, 2015:61-64.
- [14] Mirmotahari O, Berg Y. Ultra low-voltage static precharge NAND/NOR gates[C]//2014 IEEE International Nanoelectronics Conference, 2014:1-5.
- [15] Bahbouh H T, Khalil A H, Salama A E. Analysis of the metastable behaviour of a BiCMOS SR latch[J]. International Journal of Electronics, 2000, 87(4):425-435.

Research on SR latch circuit based on interconnected coupling capacitor

ZHAO Zhiwei¹, ZHANG Yuejun^{1,2*}, LI Lin¹

(1.Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo 315211, China;

2.State Key Laboratory of Cryptology, Beijing 100878, China)

Abstract: With the on-going improvement of integrated circuit technology, there are more and more resources with the on-chip interconnection. By studying the capacitive coupling model between lines, in this paper a design scheme of SR latch circuit is proposed based on interconnected capacitance coupling. Capacitance coupling relationship between interconnected lines is established using MOS gate capacitance to simulate interconnected capacitance, and then using capacitive coupling structure and line calculation characteristics. Through designing or NOR gate, SR is implemented based on interconnected capacitance coupling latch circuit. Finally, the simulation is conducted to verify the proposed design in the TSMC 65 nm Spectre environment. The results show that the designed circuit logic function is valid and has low hardware overheads.

Key words: NOR gate; SR latch circuit; interconnected capacitance coupling; circuit design

(责任编辑 史小丽)